

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-343950

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G09G 3/20  
G09G 3/28

(21)Application number : 2000-166120

(71)Applicant : SONY CORP

(22)Date of filing : 02.06.2000

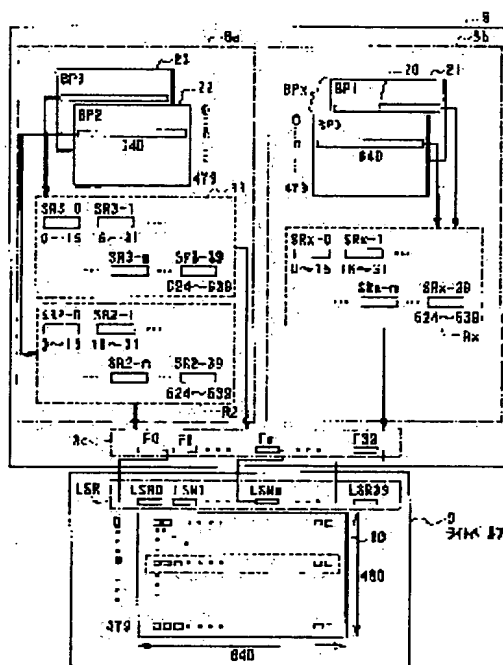
(72)Inventor : TANAKA YOSHINORI

## (54) IMAGE DISPLAY DEVICE AND METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance the quality of a dynamic image by enabling multi-gradation in which pseudo contours of the dynamic image and the blur of the dynamic image are suppressed without adopting complex constitution.

**SOLUTION:** A data formatter 8 quantizes inputted image data into 4 gradation bits B0 to B3 for every one field and for every one pixel. Data of upper 2 gradation bits B3, B2 among the 4 gradation bits B0 to B3 are stored respectively in memory areas 23, 22 as data having respectively the function of a control bit. Data of lower 2 gradation bits B3, B2 among the 4 gradation bits B0 to B3 are stored respectively in memory areas 20, 21 as data having respectively the function of a control bit. Moreover, time bands displaying display data-bit planes are controlled for every pixel based on information of control-bit planes.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-343950

(P2001-343950A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テマコード (参考)        |
|---------------------------|-------|---------------|-------------------|
| G 0 9 G 3/36              |       | G 0 9 G 3/36  | 2 H 0 9 3         |
| G 0 2 F 1/133             | 5 7 5 | G 0 2 F 1/133 | 5 7 5 5 C 0 0 6   |
| G 0 9 G 3/20              | 6 4 1 | G 0 9 G 3/20  | 6 4 1 E 5 C 0 8 0 |
|                           |       |               | 6 4 1 R           |
| 3/28                      |       | 3/28          | K                 |

審査請求 未請求 請求項の数14 O L (全 26 頁)

(21) 出願番号 特願2000-166120 (P2000-166120)

(22) 出願日 平成12年6月2日 (2000. 6. 2)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田中 義禮

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100098785

弁理士 藤島 洋一郎

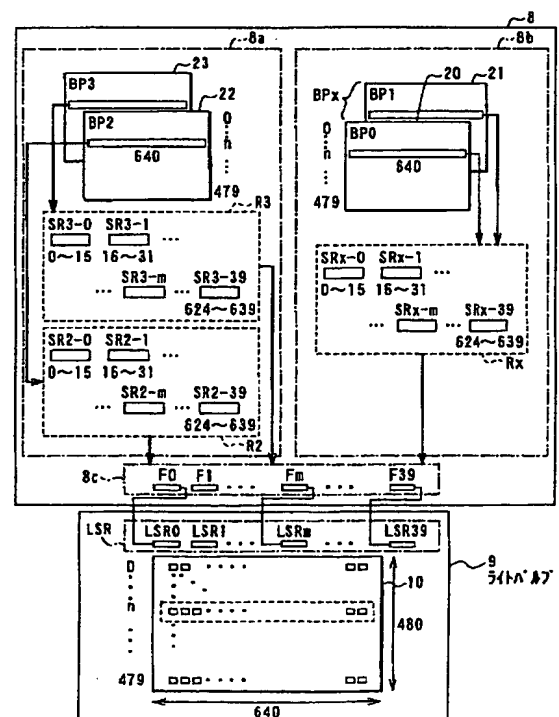
最終頁に続く

## (54) 【発明の名称】 画像表示装置および方法

## (57) 【要約】

【課題】 複雑な構成をとることなく、動画偽輪郭および動画ぼけを抑制した階調表現を可能にし、動画像の質を向上させることができるようにする。

【解決手段】 データフォーマット8は、入力された画像データを、1フィールド毎且つ1画素毎に4つの階調ビットB0～B3に量子化する。4つの階調ビットB0～B3のうち、上位2つの階調ビットB3、B2のデータは、それぞれ制御ビットの機能を持ったデータとして、メモリ領域23、22に格納する。下位2つの階調ビットB0、B1のデータは、表示データビットの機能を持ったデータとして、メモリ領域20、21に格納する。表示データビットプレーンを表示する時間帯は、1画素毎に、制御ビットプレーンの情報に基づいて制御される。



## 【特許請求の範囲】

【請求項1】 画像データの輝度情報を、単位画素毎に、複数ビットの情報で表すと共に、ビット毎の情報面を表す複数のビットプレーンを生成し、これら複数のビットプレーンを組み合わせて表示することによって、多段階の階調で画像表示を行うようにした画像表示装置であって、

前記複数のビットプレーンを、第1のビットプレーン群と第2のビットプレーン群との少なくとも2種類のビットプレーン群に分割し、前記第1のビットプレーン群を表示する時間帯を、単位画素毎に、前記第2のビットプレーン群の情報に基づいて制御する制御手段と、前記第1のビットプレーン群の情報に基づく画像の表示状態の2値的な変調を、前記制御手段によって制御された時間帯内に行う変調手段とを備えたことを特徴とする画像表示装置。

【請求項2】 前記制御手段は、同一の時間帯に、輝度に応じて、各画素間で異なるビットプレーンの情報に基づく画像表示が行われるように、前記複数のビットプレーンの中から、表示すべきビットプレーンの情報を単位画素毎に前記変調手段に選択的に出力することを特徴とする請求項1記載の画像表示装置。

【請求項3】 前記制御手段は、1フィールドの画像表示期間内に設定された複数の制御用の時間帯のうち、いずれの時間帯に前記第1のビットプレーン群の情報に基づく表示を行うのかを、前記第2のビットプレーン群の情報に基づいて決定すると共に、前記第1のビットプレーン群を形成する個々のビットプレーンの表示が、前記制御用の時間帯内に設定された所定のサブフィールド内で行われるよう、前記個々のビットプレーンを表示する時間帯を輝度に応じて制御することを特徴とする請求項1記載の画像表示装置。

【請求項4】 前記制御手段は、前記第1のビットプレーン群のデータを格納する第1の記憶手段と、前記第2のビットプレーン群のデータを格納する第2の記憶手段と、前記第1のビットプレーン群のデータと前記第2のビットプレーン群のデータとが入力されると共に、単位画素毎に、所定の論理式に従って、いずれか一方のビットプレーン群の情報のみを前記変調手段に選択的に出力する論理回路とを有することを特徴とする請求項1記載の画像表示装置。

【請求項5】 前記複数のビットプレーンは、それぞれ、輝度に応じて異なる重み付けがなされたビット毎の情報面を形成するものであり、前記制御手段は、前記複数のビットプレーンのうち、重み付けの大きさの順番に従って、最も大きい重み付けがなされた最上位のビットプレーンを含んだ、少なくとも1つのビットプレーンを、前記第2のビットプレーン群

として使用することを特徴とする請求項1記載の画像表示装置。

【請求項6】 前記制御手段は、単位画素毎に、輝度に応じて、前記第1のビットプレーン群に基づく表示と、前記第2のビットプレーン群に基づく表示とが時間的に連続して行われるよう、前記複数のビットプレーンを表示する時間帯を制御することを特徴とする請求項1記載の画像表示装置。

【請求項7】 前記制御手段は、輝度レベルに応じて、前記第2のビットプレーン群が、前記第1のビットプレーン群よりも時間的に前側の時間帯に表示されるよう、前記第1のビットプレーン群を表示する時間帯を制御することを特徴とする請求項1記載の画像表示装置。

【請求項8】 前記制御手段は、全ビットプレーンの表示期間内において、前記第1のビットプレーン群を表示する時間帯と前記第2のビットプレーン群を表示する時間帯とが、それぞれ時間的に前後対称に2分割して配置されるように、各ビットプレーン群を表示する時間帯を制御することを特徴とする請求項1記載の画像表示装置。

【請求項9】 前記制御手段は、前記複数のビットプレーンを、第3のビットプレーン群を加えた少なくとも3種類のビットプレーン群に分割し、前記第1のビットプレーン群を表示する時間帯と前記第2のビットプレーン群を表示する時間帯とが、前記第3のビットプレーン群を表示する時間帯を中心として、それぞれ時間的に前後対称に2分割して配置されるように、各ビットプレーン群を表示する時間帯を制御することを特徴とする請求項8記載の画像表示装置。

【請求項10】 前記複数のビットプレーンは、それぞれ、輝度に応じて異なる重み付けがなされたビット毎の情報面を形成するものであり、前記制御手段は、前記複数のビットプレーンのうち、重み付けの大きさの順番に従って、最も小さい重み付けがなされた最下位のビットプレーンを含んだ、少なくとも1つのビットプレーンを、前記第3のビットプレーン群として使用することを特徴とする請求項9記載の画像表示装置。

【請求項11】 前記全ビットプレーンの表示期間は、1フィールドの画像表示期間であり、前記第3のビットプレーン群の表示時間帯は、1フィールドの中心付近に配置されることを特徴とする請求項9記載の画像表示装置。

【請求項12】 前記変調手段は、所定時間毎に位相が反転する駆動信号に基づいて駆動されることにより、画像の表示状態の変調を行うものであり、前記駆動信号の位相は、前記第3のビットプレーン群の表示時間帯に隣接して設定された反転期間に位相が反転するように設定されていることを特徴とする請求項11記載の画像表示装置。

【請求項13】 前記変調手段は、強誘電性液晶を利用して、画像表示用に照射された光に対して、光学的に2値の変調を行うものであることを特徴とする請求項1記載の画像表示装置。

【請求項14】 画像データの輝度情報を、単位画素毎に、複数ビットの情報で表すと共に、ビット毎の情報面を表す複数のビットプレーンを生成し、これら複数のビットプレーンを組み合わせて表示することによって、多段階の階調で画像表示を行う画像表示方法であって、前記複数のビットプレーンを、第1のビットプレーン群と第2のビットプレーン群との少なくとも2種類のビットプレーン群に分割し、前記第1のビットプレーン群を表示する時間帯を、単位画素毎に、前記第2のビットプレーン群の情報に基づいて制御し、その制御された時間帯内に、前記第1のビットプレーン群の情報に基づいて、画像の表示状態を2値的に変調させて画像表示を行うことを特徴とする画像表示方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、階調表現をデジタル的に行う画像表示装置および方法に関する。

#### 【0002】

【従来の技術】従来より、画像の表示状態が基本的にオン／オフ（発光（明）／非発光（暗））の2状態しか取り得ない、いわゆる2値制御型の画像表示装置が開発されている。このような2値制御型の画像表示装置は、デジタル画像表示装置とも呼ばれている。デジタル画像表示装置には、光の変調手段として、例えばFLC（Ferroelectric Liquid Crystal；強誘電性液晶）、DMD（Digital Mirror Device）またはPDP（Plasma Display Panel）等が使用されている。

【0003】デジタル画像表示装置は、基本的に、CRT（Cathode Ray Tube；陰極線管）に代表されるいわゆるアナログ型の表示装置のような連続的な階調表現を行うことができない。このため、デジタル画像表示装置では、階調表現を多段階に行う方法として、例えば次の（1）～（3）の方式が提案されている。（1）…発光時間幅変調方式。（2）…光源輝度変調方式。（3）…発光時間幅変調方式と光源輝度変調方式との併用方式。

【0004】（1）の方式は、PWM（Pulse Width Modulation；パルス幅変調）方式とも呼ばれる。この方式は、光源の輝度の大きさを一定に保ち、発光時間の幅を輝度に応じて変化させることにより、階調表現を行う方式である。（2）の方式は、PAM（Pulse Amplitude Modulation；パルス振幅変調）方式とも呼ばれる。この方式は、発光時間を一定に保ち、光源の輝度の大きさを変化させることにより、階調表現を行う方式である。

（2）、（3）の方式は、使用する光源が、LED（Li

ght Emitting Diode；発光ダイオード）等の高速に輝度変調可能なものに制約される。このため、（2）、

（3）の方式は、現在はまだ階調表現の方法として一般的であるとはいえない。従って、以下ではデジタル画像表示装置の階調表現の従来例として、主として（1）の方式を詳しく説明する。

【0005】（1）の方式は、例えば、一定の輝度の光を連続的に発光可能な光源と、光源からの光に対して画素毎に2値の変調を行うFLC等の光学変調素子と、変調後の光によって画像が表示される画像表示面とを備えたデジタル画像表示装置に適用される。このようなデジタル画像表示装置では、光学変調素子に、光源から輝度の一定の光が連続的に照射される。光学変調素子は、表示しようとする画像の輝度に応じて、画素毎に光を明暗2つの状態に変調制御する。このとき、光学変調素子は、光の変調制御として、画像表示面に到達する光をパルス状にオン（発光）／（非発光）オフ制御する。そして、光学変調素子は、画素毎にオン／オフの切り換えタイミングを変化させることにより、光のパルス幅を変化させ、階調表現を行う。このようにして変調された光が画像表示面に照射されることにより多段階の階調で画像が表示される。

【0006】このようなデジタル画像表示装置における階調表現は、人間の視覚系の残光特性を利用したものである。すなわち、人間の視覚系は、ある一定期間中に網膜に入射した光を時間的に積分した値を、光の強度として認識する。このため、一定期間中に、発光期間の短い光のパルス幅を高速に変化させることにより、人間の目に輝度の階調があるように認識させることができる。

【0007】次に、この階調表現の原理について、図16を参照してより具体的に説明する。なお、以下では、特に断りのない限り、“発光”とは、光源からの光が光学変調素子を介して画像表示面に到達し得る状態をいい、“非発光”とは、画像表示面に対して光が到達し得ない状態のことをいう。図16は、映像信号の1フィールドの期間における輝度の変調制御の一例を示している。図16において、横方向は輝度レベル（階調レベル）を示し、縦方向は時間t（フィールドタイム）を示す。図16は、1画素あたりの階調データが4ビットであり、16階調の階調表現を行う場合を示している。また、図中のハッチングされた領域は発光状態であることを示し、ハッチングされていない他の領域は非発光状態であることを示す。

【0008】16階調の画像は、所定期間（通常、1フィールド）内において、輝度の異なる少なくとも4種類の画像を組み合わせることにより表現することが可能である。すなわち、16階調を表現する場合には、まず、輝度を画素毎に例えば4つの階調ビットに量子化する。そして、例えば1フィールドの画像データを、各階調ビットで重み付けされた4種類の画像データの組み合わせ

で表現する。このとき、階調ビット毎の画像データの集まりは、通常、「ビットプレーン」と称される。ビットプレーンは、階調ビット毎の輝度の情報面である。なお、以下では、階調ビットに量子化された画像データを総称して「ビットデータ」という。

【0009】図16では、1フィールドを4つのサブフィールドSF0～SF3に分割している。図16では、4つの階調ビットB0～B3のデータが、それぞれサブフィールドSF0～SF3の期間に順番に表示される。各サブフィールドは、階調ビットB0～B3の重みに対応して、時間の長さが、SF0:SF1:SF2:SF3=1:2:4:8に重み付けされている。これにより、例えば階調ビットB3のデータは、階調ビットB0のデータよりも時間の長さにして8倍長く表示されることになる。従って、ここでは光源の輝度を一定としているので、階調ビットB3のデータは、階調ビットB0のデータよりも8倍高い輝度レベルで表示されることになる。

【0010】ここで、代表的な輝度レベルにおけるビット論理値とサブフィールド期間内における光の発光状態（オン（発光）／オフ（非発光）状態）との関係を図17に示す。図17にしたように、例えば黒レベル（輝度レベル0）は、ビット論理値を{B3,B2,B1,B0}={0000}とし、サブフィールドSF0～SF3の期間を全てオフの状態にすることにより表現される。また、例えば白レベル（輝度レベル15）は、ビット論理値を{1111}とし、サブフィールドSF0～SF3の期間を全てオンの状態にすることにより表現される。このようにして1フィールドの画像をサブフィールドの期間で分割して表示することにより階調表現を行う方法は、一般に「サブフィールド法」と呼ばれる。

【0011】次に、図18を参照して、図16の階調制御方法を実現するためのデジタル画像表示装置の具体的な構成例を説明する。図18は、デジタル画像表示装置における光変調部の要部構成を示している。なお、ここでは、1画面が縦480×横640画素からなる場合について説明する。このデジタル画像表示装置は、光変調を行うための構成要素として、データフォーマッタ110と、ライトバルブ111とを備えている。データフォーマッタ110は、フレームメモリと、複数のシフトレジスタSR0～SR39とを有している。フレームメモリ内には、複数のメモリ領域120～123が確保されている。ライトバルブ111は、シフトレジスタLSR0～LSR39と、本体112とを有している。シフトレジスタLSR0～LSR39は、データ線によってシフトレジスタSR0～SR39に1対1対応で接続されている。

【0012】データフォーマッタ110は、入力されたシリアル系列の映像信号を、ライトバルブ111の入力データフォーマットに適した画像データに変換する機能

を有している。このとき、データフォーマッタ110は、ライトバルブ111への画像データの入力を、上述の階調制御方法に従って行うようになっている。データフォーマッタ110は、入力された画像データを、1画素につき4つの階調ビットB0～B3のデータで表現して、各階調ビット毎にメモリ領域120～123に格納するようになっている。

【0013】すなわち、データフォーマッタ110は、例えば階調ビットB0のデータをメモリ領域120に格納し、例えば階調ビットB1のデータをメモリ領域121に格納する。また、データフォーマッタ110は、例えば階調ビットB2のデータをメモリ領域122に格納し、階調ビットB3のデータをメモリ領域123に格納する。これにより、メモリ領域120～123に格納されたデータは、それぞれ480×680個の1/0のビットデータの集まりで構成されることになる。ここで、メモリ領域120に格納された階調ビットB0のデータの集まりが、ビットプレーンBP0となり、メモリ領域121に格納された階調ビットB1のデータの集まりが、ビットプレーンBP1となる。また、メモリ領域122に格納された階調ビットB2のデータの集まりが、ビットプレーンBP2となり、メモリ領域123に格納された階調ビットB3のデータの集まりが、ビットプレーンBP3となる。メモリ領域120～123に格納されたデータは、あらかじめ決められた順番で、シフトレジスタSR0～SR39に順次転送されるようになっている。

【0014】シフトレジスタSR0～SR39は、それぞれ複数ビットのデータを保持する機能を有している。シフトレジスタSR0～SR39は、また、保持したデータを一定の方向にシフト（移動）させる機能を有している。シフトレジスタSR0～SR39は、それぞれ、メモリ領域120～123に格納された各ビットプレーンBP0～BP3のデータの中から、表示対象となるサブフィールドに応じて、いずれかのビットプレーンのデータを選択的に保持するようになっている。このとき、シフトレジスタSR0～SR39は、選択されたいずれかのビットプレーンの縦方向nライン目（n=0～479）について、例えば画面横方向の16ビット（16画素）分のデータを順番に保持するようになっている。例えばシフトレジスタSR0は、選択されたビットプレーンの縦方向nライン目について、横方向の0～15番目の画素のデータを保持し、シフトレジスタSR1は、横方向の16～31番目の画素のデータを保持する。すなわち、m番目（m=0～39）のシフトレジスタSRmは、横方向の16m～（16m+15）番目の画素のデータを保持する。従って、シフトレジスタSR0～SR39は、合計で、1つのビットプレーンにおける1ライン分のデータ（16×40=640）を保持することが可能となっている。シフトレジスタSR0～SR39に

保持されたデータは、ライトバルブ 111 内のシフトレジスタ LSR0～LSR39 に順次転送されるようになっている。

【0015】ライトバルブ 111 は、例えば FLC や DMD 等で構成される。シフトレジスタ LSR0～LSR39 は、データフォーマット 110 内のシフトレジスタ SR0～SR39 と同様に、それぞれ複数ビットのデータを保持する機能を有すると共に、保持したデータを一定の方向にシフトさせる機能を有している。シフトレジスタ LSR0～LSR39 は、データフォーマット 110 内のシフトレジスタ SR0～SR39 から転送されてきたデータを保持し、本体 112 に順次転送するようになっている。本体 112 は、データフォーマット 110 およびシフトレジスタ LSR0～LSR39 を介して送られてきた画像データに基づいて実際に光変調を行う部分であり、画素毎に発光／非発光の切り換えを行う機能を有している。本体 112 は、シフトレジスタ LSR0～LSR39 を介して送られてきた画像データを保持するためのメモリ（図示せず）を有している。本体 112 内のメモリは、全画素分のデータを保持することが可能となっている。

【0016】以上のような構成を有するデジタル画像表示装置は、表示デバイスであるライトバルブ 111 によって、画素データの 1/0 のビット論理値に対応して、ビットプレーン毎に発光／非発光（オン／オフ）の 2 値的な制御を行う。このデジタル画像表示装置では、図 16 に示したように、1 フィールドの表示期間が、複数のサブフィールド SF0～SF3 に分割されている。サブフィールド SF0～SF3 は、時間の長さが 1、2、4、8 の比率にされている。すなわち、このデジタル画像表示装置では、階調は発光時間で制御され、例えば階調ビット B0 が“1”の画素はサブフィールド SF0 の期間にオン（発光）し、例えば階調ビット B1 が“1”の画素はサブフィールド SF1 の期間にオンとなるように、各画素毎に発光時間が制御される。

【0017】このデジタル画像表示装置では、図 19 のタイミングチャートに示すように、各画素を所定のサブフィールド期間内で発光させるため、サブフィールド期間に先立ってデータ書き込み期間 T0～T3 が設けられている。データ書き込み期間 T0 は、サブフィールド SF0 の期間よりも前に設けられ、データ書き込み期間 T1 は、サブフィールド SF1 の期間よりも前に設けられている。データ書き込み期間 T2 は、サブフィールド SF2 の期間よりも前に設けられ、データ書き込み期間 T3 は、サブフィールド SF3 の期間よりも前に設けられている。

【0018】各ビットプレーンのデータは、各サブフィールドの期間に先立って設けられた書き込み期間内に、データフォーマット 110 からライトバルブ 111 に転送される。すなわち、例えばビットプレーン BP0 の全

データは、書き込み期間 T0 の期間内にデータフォーマット 110 からライトバルブ 111 に送りこまれる。ライトバルブ 111 は、サブフィールド SF0 の期間開始と同時に、全画素一斉にビットプレーン BP0 のデータに基づいて、オン／オフ状態の切り換えを行い、サブフィールド SF0 の期間中この状態を保持する。また例えばビットプレーン BP1 の全データは、書き込み期間 T1 の期間内にデータフォーマット 110 からライトバルブ 111 に送りこまれる。ライトバルブ 111 は、サブフィールド SF1 の期間開始と同時に、全画素一斉にビットプレーン BP1 のデータに基づいて、オン／オフ状態の切り換えを行い、サブフィールド SF1 の期間中この状態を保持する。以下、ビットプレーン BP2、BP3 のデータについても同様に、書き込み期間 T2、T3 の期間内に、データフォーマット 110 からライトバルブ 111 に順次転送される。デジタル画像表示装置は、このような制御をフィールド毎に繰り返す。

【0019】データフォーマット 110 は、メモリ領域 120～123 に格納されたビットプレーン B0～B3 の画像データへのアクセスを、それぞれ 1 ライン（640 ビット）毎に、ライン 0～ライン 479 まで 480 回順次行う。このとき、データフォーマット 110 は、アクセスした 1 ライン分、640 ビットの画素データを、40 個のシフトレジスタ SR0～SR39 に、それぞれ 16 ビット単位でパラレルに転送する。次に、データフォーマット 110 は、シフトレジスタ SR0～SR39 に格納された 1 ライン分、16 ビット×40 個の画素データを、40 本のデータ線を介して、ライトバルブ 111 内の対応するシフトレジスタ LSR0～LSR39 に、同時並行的に転送する。ライトバルブ 111 は、転送が完了し、1 ライン分のデータがシフトレジスタ LSR0～LSR39 にセットされると、セットされた 1 ライン分のデータを、本体 112 内における対応するラインのメモリ（図示せず）に、1 ライン分同時に転送する。以上のようなデータの転送動作が、ライン 0～ライン 479 まで行われることにより、1 ビットプレーン分の全データがライトバルブ 111 の本体 112 内のメモリに格納される。ライトバルブ 111 は、本体 112 内のメモリに格納された 1 ビットプレーン分のデータに基づいて、全画素一斉にオン／オフ制御を行う。以上のような制御を、全てのビットプレーンに対して行うことにより、図 16 で示した方式の階調制御が実現される。

【0020】なお、図 16 の例では、各サブフィールドの時間の長さを階調ビットに応じた重み付けを行うことにより、それぞれ異なる値に設定していたが、図 20 に示したように、各サブフィールドの期間を 1 フィールドの期間内で等分割に設定するようにしても良い。

【0021】図 20 の階調制御方法では、1 フィールドを 15 個の等間隔のサブフィールド SF0～SF14 に分割している。この方法では、各サブフィールド毎に、

毎回、対応するビットプレーンのデータが読み出される。このとき、各ビットプレーンのデータへのアクセス“回数”と対応するサブフィールドは、階調ビットの重みに応じて決定される。すなわち、ビットプレーンBP0へのアクセスは1回、ビットプレーンBP1へのアクセスは2回、ビットプレーンBP2へのアクセスは4回、ビットプレーンBP3へのアクセスは8回、順次連続して行われる。従って、ビットプレーンBP0はサブフィールドSF0、ビットプレーンBP1はサブフィールドSF1、SF2、ビットプレーンBP2はサブフィールドSF3～SF6、ビットプレーンBP3はサブフィールドSF7～SF14の期間にそれぞれ順次連続して表示される。

【0022】図20の階調制御方法におけるデータの読み出しタイミングは、図21に示したタイミングチャートようになる。データフォーマット110からライトバルブ111への各ビットプレーンのデータの読み出し手法は、基本的に図16の場合と同様である。すなわち、各ビットプレーンのデータは、図16の場合と同様に、サブフィールドSF0～SF14のそれぞれに先立って設けられたデータ転送時間T0～T14内に、データフォーマット110からライトバルブ111に順次転送される。図20の階調制御方法によっても、図16の階調制御方法と同等の階調表現を行うことができる。すなわち、図16および図20の方法の双方とも、ビットプレーンBP0～BP3の表示期間がBP0:BP1:BP2:BP3=1:2:4:8に重み付けされ、各ビットプレーンの組み合わせで16階調の階調表現を行うことができる。

#### 【0023】

【発明が解決しようとする課題】ところで、図16の例において、輝度レベルが隣接するレベル7とレベル8とでは、発光時間の長さの違いは1レベル分であるが発光時間帯は全く異なっている。すなわち、レベル7は、発光時間帯が1フィールドのほぼ前半部分であるのに対し、レベル8では、発光時間帯が1フィールドのほぼ後半部分となっている。デジタル画像表示装置において、このように輝度レベルの差に比べて発光時間帯に大きなずれがある場合には「動画偽輪郭」（以下、単に「偽輪郭」ともいう。）と呼ばれる問題が生ずることが知られている。動画偽輪郭は、一般に動画像を目が追従する際に生じる現象であり、「動画疑似輪郭」とも呼ばれる。

【0024】以下、動画偽輪郭について、主として図22(A)、(B)および図23(A)、(B)を参照して説明する。図22(A)の横軸は画面上の表示位置を示し、縦軸は画像表示の時間経過を示す。図22(B)の横軸は人間の網膜上の位置を示し、縦軸は画像表示の時間経過を示す。

【0025】図23(A)のように画面左から右に徐々

に輝度が高く（明るく）なる静止画像が、図16に示したサブフィールド法によって階調表現されているものとする。このように階調表現された静止画像を、図22

(A)に示したように、短時間のうちに、画面の異なる2つの位置に連続的に順次表示させたとする（例えば、左下に画像を表示させた直後に、右上に画像を表示させる）。一般に、短時間のうちに、2つの光点を少し離れた場所に連続的に表示すると、人間の目には、1つの光点が滑らかに移動しているように知覚される。従って、図22(A)に示した表示例では、通常、人間の目には、画面左下から右上に画像が滑らかに移動しているように知覚される。このような知覚のされ方は、視線を動かさずにほぼ固定している場合のものである。

【0026】これに対し、画像の動きに視線を追従させて（例えば図22(A)に示したe1方向に）動かした場合には、人間の網膜上における光の積分のされ方が例えば図22(B)のようになる。網膜上で図22(B)のような光の積分のされ方がなされると、網膜上で積分される光量が、本来の値から大きくずれてしまい、視線を移動させないときとは異なる輝度で認識される。例えば、本来、ほぼ中間輝度であるはずの画面中央位置G1の輝度が、黒レベルとして認識されてしまう。このような認識のされ方を、図23(A)の静止画の例に対応させて模式的に示したものが図23(B)であり、中央部に黒いすじ状の画像が生じている。以上で説明したような現象が「動画偽輪郭」といわれるものであり、動画質を低下させる要因として従来から問題となっている。このような問題は、PDPおよびDMD等を利用したデジタル画像表示装置全てに共通して生ずるものである。

【0027】一般に、動画偽輪郭は、各ビットプレーン間での発光タイミングの時間的なずれが空間的なずれに変換されることによって発生する現象とみなすことができる。よって、発光タイミングのずれが大きい位置、例えば図16の例における輝度レベル7と輝度レベル8との変わり目では、偽輪郭の生じ方が大きくなる。また、画像の移動速度が速い場合には、時間のずれがより大きな空間的なずれに変換されるため、動画偽輪郭の幅が広がり、より動画質が低下する。例えば図16の例において、視線の追従が、中間輝度（輝度レベル7、8）の付近で図示した位置G1、G2、G3のように行われた場合について比較する。この場合、位置G1、G2、G3のそれぞれの輝度レベルは、人間の網膜上でそれぞれ0、8、15となり、本来の輝度レベルから大きくずれが生じていることが分かる。これは、図20に示した例においても同様である。

【0028】従来、動画偽輪郭を改善する方法としては、例えば図24に示す階調制御方法が提案されている。図24に示した例は、「フィールド内分散法」と呼ばれている。フィールド内分散法は、発光時間の長いピ

ットプレーンをフィールド内で複数に分割且つ分散させて表示する方法である。

【0029】図24に示したフィールド内分散法では、図20の例と同様に、1フィールドを、15個のサブフィールドSF0～SF14に等分割している。各ビットプレーンBP0～BP3のデータへのアクセス回数についても、図20の例と同様であり、それぞれ1, 2, 4, 8回ずつアクセスが行われる。但し、図24の例では、各ビットプレーンへのアクセスを特定の時間帯に偏らないように行い、各ビットプレーンの表示を、1フィールド内で時間方向に分散させて行う。すなわち、図24の例では、ビットプレーンBP0をサブフィールドSF7の期間に表示し、ビットプレーンBP1をサブフィールドSF3, SF11の期間に分散して表示する。また、ビットプレーンBP2をサブフィールドSF1, SF5, SF9, SF13の期間に分散して表示し、ビットプレーンBP3をサブフィールドSF0, SF2, SF4, SF6, SF8, SF10, SF12, SF14の期間に分散して表示する。

【0030】図24の階調制御方法におけるデータの読み出しタイミングは、図25に示したタイミングチャートのようになる。データフォーマット110からライトバルブ111への各ビットプレーンのデータの読み出し手法は、基本的に図20の場合と同様である。すなわち、各ビットプレーンのデータは、図16の場合と同様に、サブフィールドSF0～SF14のそれぞれに先立って設けられたデータ転送時間T0～T14内に、データフォーマット110からライトバルブ111に順次転送される。但し、各ビットプレーンのデータの読み出しは、図24に示したサブフィールドと階調ビットとの対応関係を満たすように、分散して行われる。図24のフィールド内分散法においても、ビットプレーンBP0～BP3の表示期間が、1フィールドの期間内で、BP0:BP1:BP2:BP3=1:2:4:8に重み付けされることになり、各ビットプレーンの組み合わせで16階調の階調表現が行われる。

【0031】図24のフィールド内分散法は、図16および図20の階調制御方法と比較して、「サブフィールドとビットプレーンとの対応関係」は異なるものの、その他の制御動作は基本的に同じである。一般に、デジタル画像表示装置において、図16、図20および図24に示した階調制御を行う場合には、アクセスするサブフィールドと表示すべきビットプレーンとの対応関係があらかじめ決められており、その内容をルックアップテーブルとして用意している。従って、各ビットプレーンへのアクセスの順序については、ルックアップテーブルを変更することにより、フレキシブルに変更可能な構造となっている。すなわち、例えば図20の方法から図24の方法への変更は、基本的に、ルックアップテーブルの内容を変更することにより、簡単に行うことが可能で

ある。

【0032】図24に示したように各ビットプレーンのデータを、特定の時間帯に偏らないように、各サブフィールドに分散させて表示すると、各ビットプレーン間の発光タイミングの時間的なずれを小さくすることができる。すなわち、図24に示した例において、例えば図16の例と同様に、視線の追従が、中間輝度の付近で位置G1, G2, G3のように行われた場合についてそれぞれの輝度を比較する。図24のフィールド内分散法によれば、位置G1, G2, G3のそれぞれの輝度レベルが、それぞれ8, 8, 7となり、本来の輝度レベルからのずれが少なくなっていることが分かる。すなわち、フィールド内分散法は、図16の例のように各ビットプレーンの発光時間帯が大きく異なっていないので、視線の動きに対する輝度のずれが少なくなる。フィールド内分散法は、一般に、サブフィールドの数が多くなるほど、偽輪郭の改善効果大きい。

【0033】ところで、例えばDMDを使用したデジタル画像表示装置では、表示素子のスイッチング速度が速いため、1フィールドを30～50程度のサブフィールドに分割して画像を表示することが可能である。一方、例えばPDPでは、信号電極の走査に多くの時間を要すると共に、走査期間中には、走査対象の画素以外には画像を表示できない。従って、PDPでは、サブフィールドの数を増やすと、走査時間が増えた分だけ、各画素の発光時間が減ることになる。これにより、PDPにおいては、フィールド内分散法を適用するためにサブフィールドの数を増やすと、画像表示の際の輝度と発光効率とに著しい影響をもたらすという問題が生ずる。そのためPDPでは、サブフィールドの数はできるだけ減らして、誤差拡散等の信号処理によって階調表現の効果を補完する必要がある。また、デジタル画像表示装置において、サブフィールドの数を増やしてフィールド内に分散すると、広い階調レベルに渡り発光時間が1フィールドの期間に拡散して、典型的なフィールドホールド型の表示となり、動画ぼけを避けることができないという問題が生ずる。なお、フィールドホールド型の表示とは、1フィールドの期間中、各画素の発光が保持されるような表示がなされることをいう。このように、フィールド内分散法は、サブフィールドの数を増やさなければいけないため、種々の問題が生ずる虞がある。

【0034】その他、動画偽輪郭を改善する方法としては、例えば、パイオニア(株)によって提案された「CLEAR駆動法」と呼ばれるものがある(NIKKEI ELECTRONICS 1999.10.4(NO.753))。CLEAR駆動法は、PDPの駆動部における階調表現を抑える代わりに、画像処理によってPDPの階調表現を補う方法である。この方式では、フィールド内分散法のようにランダムにサブフィールドを選択発光させる代わりに、輝度に応じて順次発光期間を積み重ねていくようになっており、「サブ



フィールドの数」＝「階調数」となる。CLEAR駆動法は、偽輪郭の原因であるランダム発光を抜本的に改善する方法であり、偽輪郭への改善効果は大きい。しかしながら、PDPにおいて、1フィールドで使えるサブフィールドの数は、その構造上、10数個が限度である。従って、CLEAR駆動法では、1フィールドで表現できる階調が10数レベルしかないことになる。このため、CLEAR駆動法では、2フィールドを合成して、サブフィールドの数を、倍の20数フィールドに増やしている。しかしながら、この方式では、2フィールドで1画面を構成することになるので、動きの速い動画を表示した場合に“ぼけ”が生じる虞がある。また、この方式では、2フィールドで1画面を構成することにより基本周波数が30Hzとなるので、フリッカの影響も懸念されるという問題がある。

【0035】以上、従来のデジタル画像表示装置における階調制御の問題点をまとめると、第1に、図16および図20に示したサブフィールド法では、フィールド内での発光時間帯に輝度レベルによる偏りがあるため、特に中間輝度の付近で、発光輝度が近いにも関わらず発光パターンが著しく変わることになる。これにより、動画を表示した場合に動画に追従して視線を移動させると、人間の視覚系の特性上、画像中に動画偽輪郭と呼ばれる線状のノイズが発生してしまうという問題がある。

【0036】第2に、サブフィールド法における動画偽輪郭の問題を軽減する目的で、サブフィールド数を増やし、各階調ビットをフィールド内で分散配置するフィールド内分散法が考えられた(図24参照)。しかしながら、このフィールド内分散法では、各階調ビットをフィールド内でできるだけ「均等」に配置する方式なので、各階調において全フィールドに渡って発光させることとなり、動画ぼけを助長することになる等の問題がある。

【0037】第3に、CLEAR駆動法のように、輝度に応じて順次発光期間を積み重ねていく方式が開発された。しかしながら、この方式では表示素子で直接表現できる階調数はサブフィールドの数そのものであり、高々、数十階調が限度となる。このため、この方式では、数百の(フル)階調を得るにはディザ、誤差拡散等の画像信号処理によって階調表現を補完する必要がある等の問題がある。

【0038】本発明はかかる問題点に鑑みてなされたもので、その目的は、複雑な構成をとることなく、動画偽輪郭および動画ぼけを抑制した階調表現を可能にし、動画の質を向上させることができるようにした画像表示装置および方法を提供することにある。

【0039】

【課題を解決するための手段】本発明による画像表示装置は、複数のビットプレーンを、第1のビットプレーン群と第2のビットプレーン群との少なくとも2種類のビットプレーン群に分割し、第1のビットプレーン群を表

示する時間帯を、単位画素毎に、第2のビットプレーン群の情報に基づいて制御する制御手段と、第1のビットプレーン群の情報に基づく画像の表示状態の2値的な変調を、制御手段によって制御された時間帯内に行う変調手段とを備えたものである。

【0040】また、本発明による画像表示方法は、複数のビットプレーンを、第1のビットプレーン群と第2のビットプレーン群との少なくとも2種類のビットプレーン群に分割し、第1のビットプレーン群を表示する時間帯を、単位画素毎に、第2のビットプレーン群の情報に基づいて制御し、その制御された時間帯内に、第1のビットプレーン群の情報に基づいて、画像の表示状態を2値的に変調させて画像表示を行うようにしたものである。

【0041】本発明による画像表示装置および方法では、複数のビットプレーンが、第1のビットプレーン群と第2のビットプレーン群との少なくとも2種類のビットプレーン群に分割される。第1のビットプレーン群を表示する時間帯は、単位画素毎に、第2のビットプレーン群の情報に基づいて制御され、その制御された時間帯内に、第1のビットプレーン群の情報に基づいて、画像の表示状態が2値的に変調される。

【0042】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0043】[第1の実施の形態] 図1に示したように、本発明の第1の実施の形態に係る画像表示装置は、アナログ/デジタル(以下、「A/D」と記す。)変換器1と、コントロール部2と、光変調部3と、光源4と、光源駆動回路5とを備えている。コントロール部2は、 $\gamma$ (ガンマ)補正回路6と、コントローラ7とを有している。光変調部3は、データフォーマッタ8と、ライトバルブ9とを有している。なお、本発明の第1の実施の形態に係る画像表示方法は、本実施の形態に係る画像表示装置によって具現化されるので、以下、併せて説明する。

【0044】A/D変換器1は、入力されたアナログの映像信号(輝度信号)Dinをデジタル信号に変換して、コントロール部2に出力するようになっている。コントローラ7には、A/D変換器1によってデジタル化された映像信号(以下、画像データともいう。)と、水平同期をとるための水平同期信号HDと、垂直同期をとるための垂直同期信号VDとが入力されるようになっている。コントローラ7は、入力された映像信号および同期信号VD、HDに基づいて、ガンマ補正回路6、データフォーマッタ8および光源駆動回路5の制御を行うようになっている。

【0045】ガンマ補正回路6は、A/D変換器1から出力された画像データに対し、“静止画”偽輪郭対策のためのガンマ補正を行うようになっている。なお、静止

画偽輪郭は、主として人間の視感度特性によって生ずるものである。人間の視感度には、低輝度領域で高く、高輝度領域で飽和するような特性がある。ガンマ補正回路 6 は、このような視感度特性を打ち消すようにガンマ補正を行うようになっている。

【0046】光源駆動回路 5 は、コントローラ 7 の制御に従って光源 4 を駆動するようになっている。光源 4 は、光変調部 3 の階調制御方法に応じた方法で、ライトバルブ 9 に対し、画像表示に必要となる光として、輝度が一定の連続的な光または輝度が一定のパルス状の光を照射するようになっている。光源 4 としては、例えば、ハロゲンランプ、メタルハライドランプ、キセノンランプ等の各種ランプ、または発光ダイオード等を使用することが可能である。なお、画像表示装置の大型化を図る上では、光源 4 として、ランプ系のものを使用する方が、十分な光量を得やすいので好適である。また、画像表示装置を携帯型端末に用いるようなときには、光源 4 として、例えば発光ダイオードを使用する方が、小型化および省電力化を図りやすいので好適である。

【0047】光源 4 は、画像表示装置をモノクロ表示の目的で使用する場合には、例えば白色光を発するものが使用される。一方、画像表示装置をカラー表示の目的で使用する場合には、光源 4 として、カラー表示の基本となる複色色の光（例えば、赤色光、緑色光および青色光）を発することが可能なものを使用する。複色色の光を発する光源 4 の構成としては、例えば、それぞれ異なる色を発する独立した 3 つの光源を用いた構成にしても良いし、または、例えば、1 つの光源からの光をダイクロミックミラー等を用いて複色色の光に分割するような構成にしても良い。カラー表示を行う場合には、光源 4 は、例えば、各色の光を時分割で切り換えてライトバルブ 9 に照射する。

【0048】データフォーマッタ 8 は、入力されたシリアル系列の映像信号を、ライトバルブ 9 の入力データフォーマットに適した画像データに変換する機能を有している。データフォーマッタ 8 は、ライトバルブ 9 への画像データの入力を、後述の階調制御方法に従って行うようになっている。ここで、データフォーマッタ 8 が、本発明における「制御手段」の一具体例に対応する。

【0049】ライトバルブ 9 は、光源 4 からの光に対して画素毎に 2 値の変調制御を行うものであり、例えば FLC や DMD 等の光変調素子を含んで構成される。ライトバルブ 9 は、反射型のものであっても、透過型のものであっても良い。ライトバルブ 9 を透過型の構成にする場合には、例えば、ライトバルブ 9 の背面から光を照射し、その透過光によって画像を表示する。一方、ライトバルブ 9 を反射型の構成にする場合には、例えば、ライトバルブ 9 の背面に光の反射面を形成する。そして、ライトバルブ 9 の前面から照射された光を反射面で反射させ、その反射光によって画像を表示する。なお、実際に

画像を表示する面（画像表示面）は、ライトバルブ 9 の表面に直接形成されていても良いし、ライトバルブ 9 とは別途設けられたスクリーン上に形成されていても良い。スクリーン上に画像表示面を形成する場合には、ライトバルブ 9 とスクリーンとの間に投射光学系を配置し、ライトバルブ 9 において変調された光を投射光学系を介してスクリーン上に投射して画像を表示する。このように、ライトバルブ 9 は、2 値の変調制御を行うことが可能であれば、その構成形態は特に限定されるものではない。

【0050】次に、光変調部 3 の詳細な構成を説明するのに先だって、まず、光変調部 3 において行われる階調制御の基本的な原理について簡単に説明する。なお、以下では、特に断りのない限り、“発光”とは、光源 4 からの光がライトバルブ 9 を介して画像表示面に到達し得る状態をいい、“非発光”とは、画像表示面に対して光が到達し得ない状態のことをいう。また、以下の説明では、主として、1 画素あたりの階調データが 4 ビットであり、輝度レベル（階調レベル）が 1 : 2 : 4 : 8 に重み付けされた 4 つのビットプレーン BP1, BP2, BP3, BP4 の組み合わせによって 16 階調表示を行う場合について説明する。

【0051】図 16、図 20 および図 24 に示した従来の階調制御方法では、「サブフィールドとビットプレーンとの対応関係」があらかじめ一義的に決められており、各ビットプレーンは、あらかじめ定められたサブフィールドでのみ固定的、選択的に発光するようになっている。このため、従来の階調制御方法では、輝度レベルによって、フィールド内での発光開始位置等、発光タイミングがランダムとなっている。これに対し、図 4 に示した例のように、輝度レベルに応じて、常に高位の階調ビットを優先して時間的に前に詰めて発光させることができれば、動画偽輪郭を原理的に抑制でき、動画ぼけに対しても効果が大きい理想的な階調制御方法となる。なお、図 4 は、映像信号の 1 フィールドの期間における輝度の変調制御の一例を示し、横方向は輝度レベル（階調レベル）、縦方向は時間  $t$ （フィールドタイム）を示す。また、図中のハッチングされた領域は発光状態であることを示し、ハッチングされていない他の領域は非発光状態であることを示す。図 4 では、1 フィールドを 16 個のサブフィールド SF0 ~ SF15 に等分割している。

【0052】ここで、図 4 に示した例において、例えば図 16 の例と同様に、視線の追従が、中間輝度（輝度レベル 7, 8）の付近で図示した位置 G1, G2, G3 のように行われた場合について、それぞれの輝度を比較する。図 4 に示した例では、位置 G1, G2, G3 のそれぞれの輝度レベルが、それぞれ 8, 8, 7 となり、本来の輝度レベルからのずれはほとんどない。また、図 4 に示した例では、図 24 に示したフィールド内分散法のよ

うに広い階調レベルに渡って発光時間が拡散することなく、各階調レベルで連続した発光がなされている。このため、図4に示した例では、フィールド内分散法で生じるフィールドホールド型の表示形態に起因する動画ぼけを少なくすることができる。

【0053】しかしながら、図4に示した階調制御方法では、各サブフィールドで表示すべきビットデータが輝度レベルによって異なっている。すなわち、各サブフィールドで表示すべきビットデータが、一義的に決まっていない。このため、従来のように、単純にサブフィールドとビットプレーンとの対応関係を示すルックアップテーブルを用意しただけでは、図4に示した階調制御方法を実現することはできず、制御が著しく複雑なものとなる。例えば、従来のように、単純にルックアップテーブルを用いた制御で図4に示した階調制御方法を実現しようとすると、サブフィールドとビットプレーンとの対応関係だけではなく、輝度レベルを考慮した複雑なルックアップテーブルが必要となる。このような制御の複雑さが、従来、図4に示した理想形の階調制御が用いられなかった最大の理由である。

【0054】本実施の形態における階調制御は、複雑な制御手段を設けることなく、わずかな追加回路のみで、図4の理想形に近い階調制御の効果を実現可能にするものである。図5は、光変調部3において行われる階調制御の具体例を示している。図5の例では、1フィールドを4つの時間帯（以下、ゾーンタイムという。）TZ0～TZ3に等分割している。また、図5の例では、1つのゾーンタイムが4つのサブフィールドに等分割されており、1フィールドが合計16個のサブフィールドSF0～SF15に等分割されている。例えば第1のゾーンタイムTZ0には、サブフィールドSF0～SF3が割りあてられ、第2のゾーンタイムTZ1には、サブフィールドSF4～SF7が割りあてられている。

【0055】また、図5の例では、4つの階調ビットを、制御機能上、2種類のビット群に分けている。すなわち、4つの階調ビットを、基本となる発光パターンB<sub>x</sub>（以下、基本発光パターンB<sub>x</sub>と記す。）を形成する第1のビット群（以下、「表示データビット」という。）と、基本発光パターンB<sub>x</sub>を表示する時間帯を制御する機能を有する第2のビット群（以下、「制御ビット」という。）とに分けている。制御ビットは、重み付けの大きさの順番に従って、最も大きい重み付けがなされた最上位の階調ビットを含んだ、少なくとも1つの階調ビットの集まりで構成されている（図5の例では上位2つの階調ビットB<sub>3</sub>、B<sub>2</sub>）。一方、表示データビットは、制御ビット以外の下位の階調ビットの集まりで構成されている（図5の例では下位2つの階調ビットB<sub>0</sub>、B<sub>1</sub>）。

【0056】図6は、図5に示した階調制御の説明図を簡略化して示している。図6において、d<sub>x</sub>は、表示デ

ータビットのデータを示し、d<sub>2</sub>、d<sub>3</sub>は、それぞれ制御ビットである上位の階調ビットB<sub>2</sub>、B<sub>3</sub>のデータを示す。図5に示した階調制御は、表示データビットを表示する時間帯（ゾーンタイム）を、制御ビットで制御する方式である。すなわち、選択されたゾーンタイム内に表示データビットを表示するかどうかを制御ビットによって制御する。このとき、選択されたゾーンタイムより下位のゾーンは、一義的にオン（発光）状態になる。また、選択されたゾーンタイムより上位のゾーンは、一義的にオフ（非発光）状態になる。例えば選択されたゾーンタイムが第4のゾーンタイムTZ<sub>3</sub>のときには、第4のゾーンタイムTZ<sub>3</sub>よりも下位の第1～第3のゾーンタイムTZ<sub>0</sub>～TZ<sub>2</sub>が、一義的にオン（発光）状態となる。また、例えば選択されたゾーンタイムが第1のゾーンタイムTZ<sub>0</sub>のときには、第1のゾーンタイムTZ<sub>0</sub>よりも上位の第2～第4のゾーンタイムTZ<sub>1</sub>～TZ<sub>3</sub>が一義的にオフ（非発光）状態となる。

【0057】このような制御を行うことにより、表示データビットが制御ビットに隣接して続けて表示されることになり、全ての輝度レベルにおいて、発光がフィールド時間の開始方向に詰めてなされることになる。従ってこの制御方式では、全ての輝度レベルにおいて、発光期間をほぼ連続した状態にさせることができ、原理的に動画偽輪郭および動画ぼけが抑制される。また、この階調制御方式では、輝度レベルにかかわらず、指定されたゾーンタイムより下位のゾーンタイムおよび上位のゾーンタイムのオン／オフ状態が一義的に決定されているので、制御の簡略化を図ることができる。さらに、この階調制御方式では、表示データビットの表示パターンが、いずれのゾーンタイムが選択されたとしても基本的に同じである。すなわち、各ゾーンタイム内においては、表示データビットを形成する個々の階調ビットの表示は、あらかじめ設定された表示パターンで、所定のサブフィールド期間に行われる。従って、いずれのゾーンタイムが選択されたとしても、表示データビットについては、同一の制御形態をとることが可能である。この点においても制御の簡略化を図ることができる。なお、表示データビットの表示形式は、図示した基本発光パターンB<sub>x</sub>に限定されず、例えば従来のフィールド内分散法（図24）のような発光パターンにすることも可能である。

【0058】なお、図5は、1画素あたりの階調データが4ビット、16階調の制御例であるが、ビット数が大きくなっても、制御ビットの数が同じであれば、ゾーンタイムの分割数は同じである。図9は、図5に示した階調制御を、5ビット、32階調に拡張した例を示している。図9の例では、図5と同様に、1フィールドを4つのゾーンタイムTZ<sub>0</sub>～TZ<sub>3</sub>に等分割している。図5の4ビットの例では、1つのゾーンタイム内のサブフィールドが4つに分割されていたが、図9の5ビットの例では、1つのゾーンタイムが8つのサブフィールドに等

分割されており、1フィールドが合計32個のサブフィールドに等分割されている。例えば第1のゾーンタイムTZ0には、サブフィールドSF0～SF7が割り当てられている。また、図9の例では、5つの階調ビットB0～B5のうち、最上位を含む連続した上位の2つの階調ビットB4、B3が制御ビットとして設定されている。一方、表示データビットは、制御ビット以外の下位の階調ビットB0～B2の集まりで構成される。

【0059】図9の5ビットの例においても、4ビットの場合と同様に、各ゾーンタイム内に表示データビットを表示するか否かを制御ビットによって制御されゾーンタイム内に表示データビットを表示するか否かを制御ビットによって制御する。図9の例から分かるように、ビット数が大きくなっても、制御ビットに基づく表示期間（ゾーンタイム）は、常に1フィールドの1/4の期間であり、全ての輝度レベルにおいて発光が前詰めされて行われる効果はビット数に関係ない。ビット数の増加によって変わるのは、ゾーンタイム内のサブフィールドの数である。サブフィールドの数は、ビット数の増加に応じて増加する。

【0060】以上で説明した階調制御では、1フィールド内の同一の時間帯（サブフィールド）に、複数のビットプレーンに基づく画像が1画素毎に選択的に表示される。このような表示タイミングの制御は各画素毎、独立になされる。従って、ある画素については、第3のゾーンタイムTZ2に表示データビットが表示され、隣接する画素については第4のゾーンタイムTZ3に表示データビットが表示される、というように、各画素毎に独立した設定が必要となる。光変調部3は、このような画素毎に独立なタイミング設定を行うことが可能に構成されている。

【0061】次に、図2を参照して、図5に示した階調制御を実現するための光変調部3（データフォーマッタ8およびライトバルブ9）の詳細な構成例について説明する。なお、ここでは、1画面が縦480画素×横640画素からなる場合について説明する。図2に示したように、データフォーマッタ8は、第1のメモリ部8aと、第2のメモリ部8bと、論理ゲート回路8cとを有している。ライトバルブ9は、レジスタ群LSRと、本体10とを有している。第1のメモリ部8aおよび第2のメモリ部8bは、論理ゲート回路8cを介してレジスタ群LSRに接続されている。

【0062】データフォーマッタ8は、入力された画像データを、1画素につき4つの階調ビットB0～B3のデータで表現して、各階調ビット毎に第1のメモリ部8aまたは第2のメモリ部8bに格納するようになっている。このとき、データフォーマッタ8は、4つの階調ビットB0～B3のうち、上位2つの階調ビットB3、B2のデータを、上述の制御ビットの役割を持ったデータとして、第1のメモリ部8aに格納するようになっている。

また、データフォーマッタ8は、4つの階調ビットB0～B3のうち、下位2つの階調ビットB0、B1のデータを、上述の表示データビットの役割を持ったデータとして、第2のメモリ部8bに格納するようになっている。

【0063】第1のメモリ部8aは、1または2以上の複数のフレームメモリと、複数のレジスタ群R2、R3とを有している。フレームメモリ内には、複数のメモリ領域22、23が確保されている。メモリ領域23には、例えば階調ビットB3のデータが格納されるようになっている。一方、メモリ領域22には、例えば階調ビットB2のデータが格納されるようになっている。メモリ領域22、23に格納されるデータは、それぞれ階調ビットB2または階調ビットB3に関する480×680個の1/0のビットデータの集まりで構成されている。ここで、メモリ領域22に格納された階調ビットB2のデータの集まりが、ビットプレーンBP2となり、メモリ領域23に格納された階調ビットB3のデータの集まりが、ビットプレーンBP3となる。すなわち、ビットプレーンBP2、BP3は、それぞれ階調ビットB2、B3で表される輝度の情報面となる。なお、ここでは階調ビットB3、B2がそれぞれ制御ビットの機能を有しているので、以下では、ビットプレーンBP3およびビットプレーンBP2のことを、それぞれ「制御ビットプレーン」ともいう。ビットプレーンBP2のデータは、所定単位毎にレジスタ群R2に転送され、ビットプレーンBP3のデータは、所定単位毎にレジスタ群R3に転送されるようになっている。ここで、制御ビットプレーンを形成する2つのビットプレーンBP2、BP3が、本発明における「第2のビットプレーン群」の一具体例に対応し、メモリ領域22、23が、本発明における「第2の記憶手段」の一具体例に対応する。

【0064】レジスタ群R2は、例えば40個のシフトレジスタSR2-0～SR2-39から構成されている。レジスタ群R3も同様に、例えば40個のシフトレジスタSR3-0～SR3-39から構成されている。シフトレジスタSR2-0～SR2-39は、それぞれ複数ビットのデータを保持する機能を有している。シフトレジスタSR2-0～SR2-39は、また、保持したデータを一定の方向にシフト（移動）させる機能を有している。シフトレジスタSR2-0～SR2-39は、メモリ領域22に格納されたビットプレーンBP2のデータの中から、縦方向nライン目（n=0～479）について、例えば画面横方向の16ビット（16画素）分のデータを順番に保持するようになっている。例えばシフトレジスタSR2-0は、メモリ領域22に格納されたデータの縦方向nライン目について、横方向の0～15番目の画素のデータを保持し、シフトレジスタSR2-1は、続く横方向の16～31番目の画素のデータを保持する。すなわち、例えば、m番目（m=0～39）のシフトレジスタSR2-mは、メモリ

領域22に格納された横方向の16m～(16m+15)番目の画素のデータを保持する。従って、シフトレジスタSR2-0～SR2-39は、合計で、1つのビットプレーンBP2における1ライン分のデータ(16×40=640画素のデータ)を保持するようになっている。なお、シフトレジスタSR3-0～SR3-39についても同様である。シフトレジスタSR2-0～SR2-39, SR3-0～SR3-39に保持されたデータは、論理ゲート回路8cに順次転送されるようになっている。

【0065】第2のメモリ部8bは、1または2以上の複数のフレームメモリと、レジスタ群Rxとを有している。フレームメモリ内には、複数のメモリ領域20, 21が確保されている。メモリ領域20には、例えば階調ビットB0のデータが格納されるようになっている。一方、メモリ領域21には、例えば階調ビットB1のデータが格納されるようになっている。メモリ領域20, 21に格納されるデータは、それぞれ階調ビットB0または階調ビットB1に関する480×680個の1/0のビットデータの集まりで構成されている。ここで、メモリ領域20に格納された階調ビットB0のデータの集まりが、ビットプレーンBP0となり、メモリ領域21に格納された階調ビットB1のデータの集まりが、ビットプレーンBP1となる。すなわち、ビットプレーンBP0, BP1は、それぞれ階調ビットB0, B1で表される輝度の情報面となる。なお、ここでは階調ビットB0, B1が表示データビットの機能を有しているので、以下では、ビットプレーンBP0およびビットプレーンBP1のことをまとめて「表示データビットプレーン」BPxともいう。表示データビットプレーンBPxのデータは、所定単位毎にレジスタ群Rxに転送されるようになっている。ここで、表示データビットプレーンを形成する2つビットプレーンBP0, BP1が、本発明における「第1のビットプレーン群」の一具体例に対応し、メモリ領域20, 21が、本発明における「第1の記憶手段」の一具体例に対応する。

【0066】レジスタ群Rxは、例えば40個のシフトレジスタSRx-0～SRx-39から構成されている。シフトレジスタSRx-0～SRx-39は、第1のメモリ部8a内のシフトレジスタSR2-0～SR2-39と同様に、それぞれ複数ビットのデータを保持する機能を有すると共に、保持したデータを一定の方向にシフトさせる機能を有している。シフトレジスタSRx-0～SRx-39は、それぞれ、メモリ領域20, 21に格納された各ビットプレーンBP0, BP1のデータの中から、表示時間(サブフィールド)に応じて、いずれかのビットプレーンのデータを選択的に保持するようになっている。このとき、シフトレジスタSRx-0～SRx-39は、選択されたいずれかのビットプレーンの縦方向nライン目(n=0～479)について、例えば画面横方向の16ビット(16画素)分のデータを順番に保持するようになって

いる。例えばシフトレジスタSRx-0は、選択されたビットプレーンの縦方向nライン目について、横方向の0～15番目の画素のデータを保持し、シフトレジスタSRx-1は、横方向の16～31番目の画素のデータを保持する。すなわち、例えば、m番目(m=0～39)のシフトレジスタSRx-mは、横方向の16m～(16m+15)番目の画素のデータを保持する。従って、シフトレジスタSRx-0～SRx-39は、合計で、1つのビットプレーンにおける1ライン分のデータ(16×40=640)を保持するようになっている。シフトレジスタSRx-0～SRx-39に保持されたデータは、論理ゲート回路8cに順次転送されるようになっている。

【0067】論理ゲート回路8cは、各レジスタ群Rx, R2, R3を構成するシフトレジスタの数に対応して、例えば40個の論理ゲートF0～F39を有している。同様に、ライトバルブ9内のレジスタ群LSRは、論理ゲート回路8cの論理ゲートの数に対応して、例えば40個のシフトレジスタLSR0～LSR39を有している。論理ゲート回路8cのm番目の論理ゲートFmは、各レジスタ群Rx, R2, R3のm番目のシフトレジスタSR3-m, SR2-m, SRx-mに接続されている。また、m番目の論理ゲートFmは、ライトバルブ9内のm番目のシフトレジスタLSRmに接続されている。

【0068】図3に示したように、論理ゲート回路8cのm番目の論理ゲートFmには、各レジスタ群Rx, R2, R3のm番目のシフトレジスタSR3-m, SR2-m, SRx-mからの出力データd3m, d2m, dxmが共通入力されるようになっている。また、論理ゲートFmには、後述する所定のタイミングでタイミング信号TZx(TZx0～TZx3)が入力されている。論理ゲートFmは、後述する論理方程式Fに基づいて、入力されたデータd3m, d2m, dxmから1つのデータdFmを得る。論理ゲートFmは、得られたデータdFmを、ライトバルブ9内のm番目のシフトレジスタLSRmに出力する。本実施の形態では、このように、光変調部3が、各ビットプレーンのデータを論理ゲート回路8cを介してライトバルブ9に出力する構成となっている所が従来と大きく異なり部分であり、特徴部分の1つとなっている。従来の画像表示装置における光変調部の構成(図18参照)と比較すると、本実施の形態の光変調部3は、主として、図3に示した追加制御回路30の部分であらな構成要素として追加されている。

【0069】シフトレジスタLSR0～LSR39は、各レジスタ群Rx, R2, R3を構成するシフトレジスタと同様に、それぞれ複数ビットのデータを保持する機能を有すると共に、保持したデータを一定の方向にシフトさせる機能を有している。シフトレジスタLSR0～LSR39は、データフォーマット8内の論理ゲート回路8cから転送されてきたデータを保持し、本体10に順次転送するようになっている。

【0070】本体10は、データフォーマッタ8およびシフトレジスタLSR0～LSR39を介して送られてきた画像データに基づいて実際に光変調を行う部分であり、照射された光を、画素毎に明暗2つの状態に変調制御する機能を有している。本体10は、画像表示面に到達する光を、例えばパルス状にオン（発光）／（非発光）オフ制御する。このとき、本体10は、画素毎にオン／オフの切り換えタイミングを変化させることにより、画像表示面に到達する光のパルス幅やパルス数を変化させ、階調表現を行う。このようにして変調された光が画像表示面に照射されることにより多段階の階調で画像が表示される。なお、本体10は、シフトレジスタLSR0～LSR39を介して送られてきた画像データを保持するためのメモリ（図示せず）を有している。本体10内のメモリは、全画素分のデータを保持することが可能となっている。

【0071】なお、図2では、1ライン、480画素のデータを16ビット単位で転送する場合について示しているが、データの転送単位は16ビットより多いまたは少ない構成であっても良い。すなわち、例えばレジスタ群R2、R3を構成するシフトレジスタの数は、それぞれ40個に限定されるものではなく、これより多いまたは少ない構成であっても良い。

【0072】次に、以上のような構成を有する画像表示装置の動作について説明する。

【0073】まず、図1を参照して画像表示装置の全体的な動作について説明する。この画像表示装置では、アナログの映像信号Dinが、A/D変換器1に入力される。A/D変換器1は、入力されたアナログの映像信号Dinを、ディジタル化してガンマ補正回路6およびコントローラ7に出力する。コントローラ7は、入力された映像信号および同期信号VD、HDに基づいて、光源駆動回路5、ガンマ補正回路6およびデータフォーマッタ8を制御する。ガンマ補正回路6は、A/D変換器1から出力された画像データに対し、静止画像偽輪郭対策のためのガンマ補正を行って、データフォーマッタ8に出力する。

【0074】光源駆動回路5は、コントローラ7の制御に従って光源4を駆動する。光源4は、光変調部3の階調制御方法に応じた方法で、ライトバルブ9に対し、画像表示に必要な輝度が一定の連続的な光または輝度が一定のパルス状の光を照射する。光源4は、ライトバルブ9が透過型の構成である場合には、例えば、ライトバルブ9の背面から光を照射する。一方、ライトバルブ9が反射型の構成である場合には、光源4は、例えばライトバルブ9の前面から光を照射する。光源4は、画像表示装置をモノクロ表示用に使用する場合には、例えば白色光を照射する。一方、画像表示装置をカラー表示用に使用する場合には、光源4は、カラー表示の基本となる複色色の光（例えば、赤色光、緑色光および青色光）

を照射する。特に、カラー表示を行う場合には、光源4は、例えば、各色の光を時分割で切り換えてライトバルブ9に照射する。

【0075】データフォーマッタ8は、入力されたシリアル系列の映像信号を、ライトバルブ9の入力データフォーマットに適した画像データに変換する。このとき、データフォーマッタ8は、ライトバルブ9への画像データの入力を、論理ゲート回路8cを用いた所定の階調制御方法に従って行う。ライトバルブ9は、入力された画素データの1/0のビット論理値に対応して、1画素毎に、光源4から照射された光に対して2値的な変調制御を行う。ライトバルブ9は、例えばビット論理値が“1”の画素をオン（発光）し、例えばビット論理値が“0”の画素をオフとなるように変調制御を行う。ライトバルブ9は、透過型の構成である場合には、その透過光によって画像を表示する。一方、ライトバルブ9は、反射型の構成である場合には、照射された光を図示しない反射面で反射させ、その反射光によって画像を表示する。このとき、ライトバルブ9は、変調した光を、例えば、投射光学系を介してスクリーン上に投射して画像を表示する。

【0076】次に、本実施の形態の特徴部分である光変調部3における階調制御の動作について説明する。

【0077】ここでは、図5に示したように、1画素あたりの階調データが4ビットであり、輝度レベルが1:2:4:8に重み付けされた4つのビットプレーンBP1、BP2、BP3、BP4の組み合わせによって、16階調表示を行う場合について説明する。

【0078】データフォーマッタ8は、入力された画像データを、1フィールド毎且つ1画素毎に4つの階調ビットB0～B3に量子化する。このとき、データフォーマッタ8は、4つの階調ビットB0～B3のうち、上位2つの階調ビットB3、B2のデータを、それぞれ制御ビットの機能を持ったデータとして、第1のメモリ部8a内のメモリ領域23、22に格納する。また、データフォーマッタ8は、下位2つの階調ビットB0、B1のデータを、表示データビットの機能を持ったデータとして、第2のメモリ部8b内のメモリ領域20、21に格納する。

【0079】次に、データフォーマッタ8は、各メモリ領域20～23に格納されたビットプレーンB0～B3のデータを、各メモリ領域20～23に対応するシフトレジスタ群Rx、R2、R3に同時に転送する。このとき、データフォーマッタ8は、各ビットプレーンB0～B3のデータへのアクセスを、それぞれ1ライン（640ビット）毎に、ライン0～ライン479まで480回順次行う。

【0080】次に、データフォーマッタ8は、各シフトレジスタ群Rx、R2、R3に格納されたデータを、所定単位で論理ゲート回路8cに同時に転送する。論理ゲ

ート回路8cは、各レジスタ群Rx, R2, R3からの入力データd3, d2, dx (d1, d0)を、後述する論理方程式Fにあてはめて、表示すべきデータdFを得る。論理ゲート回路8cは、得られた出力データdFを、ライトバルブ9内のシフトレジスタLSRに転送する。

【0081】ここで、データフォーマッタ8は、図8のタイミングチャートに示すように、各サブフィールドで表示すべき全画素分のデータの転送を、各サブフィールドに先行したデータ転送期間T0～T15内に行う。これは、各画素を所定のサブフィールド期間内で発光させるためである。なお、データ転送期間T0～T15は、例えば各サブフィールドについて1サブフィールド期間だけ先行させる。なお、図8では、転送されるデータとして、表示データビットプレーンBPxについてのみを代表して示している。

【0082】データフォーマッタ8は、制御ビットプレーン(BP2, BP3)については、表示対象のサブフィールドにかかわらず、期間T0～T15の毎転送期間に常にアクセスする。一方、表示データビットプレーンBPx (BP0, BP1)については、表示対象となる時間(サブフィールド)に応じて、いずれか一方のデータだけに選択的にアクセスする。このとき、データフォーマッタ8は、各ビットプレーンへのアクセスを、あらかじめ決められた順序で行う。この順序は、図5に示した基本発光パターンBxに対応したものであり、[BP0→BP1→BP1→0]となっている。すなわち、データフォーマッタ8は、図8に示したように、例えば、サブフィールドSF0のデータ転送期間T0にビットプレーンBP0のデータd0、サブフィールドSF1, SF2のデータ転送期間T1, T2にビットプレーンBP1のデータd1、サブフィールドSF3のデータ転送期間T3に常にゼロ(0)のデータを転送する。以降、期間T15まで、期間T0～期間T3と同様の順序でデータ転送を繰り返す。このようにして、表示データビットについては、各ゾーンタイムでデータの転送が同じパターンで繰り返されることになる。

【0083】論理ゲート回路8c内の各論理ゲートF0～F39は、それぞれ、例えば以下の式(1)で表される論理式Fに基づいて、ライトバルブ9に出力するデータdF (dF0～dF39)を1画素毎に決定する。式(1)は、タイミング信号TZx (TZx0～TZx3)および各レジスタ群Rx, R2, R3からの入力データdx, d2, d3に関する、論理和と論理積との組み合わせで構成されている。タイミング信号TZx (TZx0～TZx3)の入力タイミングは、図8に示したように、各ゾーンタイムTZ0～TZ3より1サブフィールド期間先行したタイミングに設定されている。これは、論理ゲート回路8cにおいて実際の表示期間に先立って表示すべきデータdFを決定するためである。

【0084】

$$F = (dx + d2 + d3) TZx0 + (dx \cdot d2 + d3) TZx1 + (dx + d2) d3 \cdot TZx2 + dx \cdot d2 \cdot d3 \cdot TZx3 \dots (1)$$

【0085】式(1)によれば、論理ゲートF0～F39で適用される論理式の実質的な内容が、各ゾーンタイムTZ0～TZ3で変化する。このとき、ゾーンタイムTZ0～TZ3と、各ゾーンタイムで適用される実質的な論理式の内容との対応関係は、図7に示したようになる。すなわち、第1のゾーンタイムTZ0には、論理式Fが「 $F = dx + d2 + d3$ 」となり、第2のゾーンタイムTZ1には、論理式Fが「 $F = dx \cdot d2 + d3$ 」となる。また、第3のゾーンタイムTZ2には、論理式Fが「 $F = (dx + d2) d3$ 」となり、第4のゾーンタイムTZ3には、論理式Fが「 $F = dx \cdot d2 \cdot d3$ 」となる。従って、論理ゲート回路8cは、ゾーンタイム毎に表示データdFの制御を行うことができる。なお、dx, d2, d3の値はサブフィールドに応じて変化するので、論理式Fによって導かれる最終的な値は、各ゾーンタイム内のサブフィールドに応じて変化する。

【0086】例えば、第1のゾーンタイムTZ0における1番目のサブフィールドSF0で表示されるデータを考えてみる。このときには、論理ゲートF0～F39に、ビットプレーンBP0 (dx = d0), BP2 (d2), BP3 (d3)のデータが、期間T0内に入力される。また、タイミング信号についてはTZx0の値のみが“1”となり、式(1)にあてはめると、論理式は「 $F = d0 + d2 + d3$ 」となる。従って、論理ゲートF0～F39から出力されるデータdFは、制御ビットプレーンのデータd2, d3の値がともに“0” (d2 = d3 = 0)のときだけd0となり、それ以外ではd0の値にかかわらず一義的に“1” (d2 = 1またはd3 = 1)が出力される。これにより、ライトバルブ9側では、サブフィールドSF0の時間に、輝度レベル4以上の画素が常に“1”、すなわち発光表示がなされ、輝度レベル3以下の画素では常にデータd0の値に基づく表示がなされることになる。

【0087】次に、第1のゾーンタイムTZ0における2, 3番目のサブフィールドSF1, SF2のときには、論理ゲートF0～F39に、ビットプレーンBP1 (dx = d1), BP2 (d2), BP3 (d3)のデータが、期間T1, T2内に入力される。また、タイミング信号についてはTZx0の値のみが“1”となり、式(1)にあてはめると、論理式は「 $F = d1 + d2 + d3$ 」となる。従って、論理ゲートF0～F39から出力されるデータdFは、サブフィールドSF0のときと同様に、制御ビットプレーンのデータd2, d3の値がともに“0” (d2 = d3 = 0)のときだけd1となり、それ以外ではd1の値にかかわらず一義的に“1”

( $d_2=1$  または  $d_3=1$ ) が出力される。これにより、ライトバルブ9側では、サブフィールドSF1, SF2の時間に、輝度レベル4以上の画素では常に“1”、すなわち発光表示がなされ、輝度レベル3以下の画素では常に $d_1$ の値に基づく表示がなされる。

【0088】第1のゾーンタイムTZ0における4番目のサブフィールドSF3のときには、表示データビットプレーンBPxのデータとして常に“0” ( $d_x=0$ ) が入力されるので、論理式は「 $F=d_2+d_3$ 」となる。従って、論理ゲートF0～F39から出力されるデータdFは、制御ビットプレーンのデータ $d_2$ ,  $d_3$ の値がともに“0” ( $d_2=d_3=0$ ) のときだけ0となり、それ以外では一義的に“1” ( $d_2=1$  または  $d_3=1$ ) が出力される。これにより、ライトバルブ9側では、サブフィールドSF3の時間には、輝度レベル4以上の画素では常に“1”、すなわち発光表示がなされ、輝度レベル3以下の画素では常に“0”、すなわち非発光表示がなされる。

【0089】第2のゾーンタイムTZ1についても、第1のゾーンタイムTZ0と同様にして表示すべきデータdFが決定される。第2のゾーンタイムTZ1のときには、論理式が「 $F=d_x \cdot d_2+d_3$ 」となり、表示データビットプレーンBPxのデータ $d_x$  ( $d_0$ ,  $d_1$ ) が論理ゲートF0～F39から出力されるのは、制御ビットプレーンのデータが $d_2=1$ ,  $d_3=0$  (輝度レベル4～7) のときのみである。また、制御ビットプレーンのデータが $d_2=d_3=0$  (輝度レベル0～3) のときには、出力は“0”になり、 $d_3=1$  (輝度レベル8～15) のときは $d_x$ ,  $d_2$ の値にかかわらず出力が“1”となる。

【0090】以降、第3のゾーンタイムTZ2については、論理式「 $F=(d_x+d_2) \cdot d_3$ 」に基づいて、同様に表示すべきデータdFが決定される。また、第4のゾーンタイムTZ3については、論理式「 $F=d_x \cdot d_2 \cdot d_3$ 」に基づいて、同様に表示すべきデータdFが決定される。

【0091】以上のように、論理ゲート回路8cにおいて論理式Fを用いた制御を行うことにより、各ゾーンタイム内で表示データビットを表示するか否かが制御ビットによって制御されていることが分かる。これにより、表示データビットプレーンBPxのデータ $d_x$ を表示する期間を、制御ビットプレーンのデータ $d_2$ ,  $d_3$ によって、図5、図6に示した関係を満たすように決定することができる。

【0092】論理ゲートF0～F39は、以上のようにして決定されたデータdF0～dF39を、40本のデータ線を介して、ライトバルブ9内の対応するシフトレジスタLSR0～LSR39に、同時並行的に転送する。ライトバルブ9は、1サブフィールド期間に表示すべき1ライン分のデータがシフトレジスタLSR0～L

SR39にセットされると、セットされた1ライン分のデータを、本体10内における対応するラインのメモリ(図示せず)に、1ライン分同時に転送する。以上のようなデータの転送動作が、縦方向のライン0～ライン479まで行われることにより、1サブフィールドにおける全画素分のデータがライトバルブ9の本体10内のメモリに格納される。ライトバルブ9は、本体10内のメモリに格納された1サブフィールド分のデータに基づいて、全画素一斉にオン/オフ制御を行う。以上のような制御を、全てのサブフィールドに対して対して繰り返すことにより、図5、図6に示した階調制御が実現される。

【0093】なお、以上の説明では、説明を簡単にするために、主として16階調の表示を行う例について説明したが、本実施の形態の階調制御は、16階調よりも多くても少なくとも良いことはいうまでもない。例えば、1画素あたりの階調データを8ビットとして256階調の表示を行うようにしたり、1画素あたりの階調データを10ビットとして1024階調の表示を行うようなことも容易に可能である。また、上述した階調制御は、カラー画像を表示する場合にも適用することが可能である。この場合、例えば、各色の画像表示のタイミングを時分割で切り換え、各色毎に上述の階調制御を行うことにより、カラー画像を表示することができる。

【0094】以上説明したように、本実施の形態によれば、複数のビットプレーンを、制御機能上、基本となる表示パターンを形成する表示データビットプレーンと、表示データビットプレーンを表示する時間帯を制御する制御ビットプレーンとに分割し、表示データビットプレーンを表示する時間帯(ゾーンタイム)を、1画素毎に、制御ビットプレーンの情報に基づいて制御し、その制御された時間帯内に、表示データビットプレーンの情報に基づく画像の表示を行うようにしたので、1フィールド内の同一の時間帯(サブフィールド)に、複数のビットプレーンに基づく画像表示を制御上、容易に行うことができる。このとき、全ての輝度レベルにおいて、発光期間がほぼ連続した状態となるようにしたので、原理的に動画偽輪郭および動画ぼけを抑制することができる。これにより、特に、中間調以下の輝度における動画ぼけへの効果が大きくなり、映画表示用の装置等に好適に利用することが可能となる。

【0095】また、本実施の形態によれば、階調ビットの数や階調レベルの数にかかわらず、制御用の時間帯(ゾーンタイム)の数や基本的な制御方式を同じにすることが可能であり、フル階調表示(通常、1色につき8ビット、256階調)にも容易に対応可能となる。また、従来、例えばPDPの分野で提案されているCLEAR駆動法においては、ディザ、誤差拡散等の画像信号処理によって階調表現を補完する必要があったが、本実施の形態によれば、ライトバルブ側のオン/オフ制御の



みで直接的にフル階調表示が可能であり、画像信号処理による補完を行う必要もない。

【0096】一般に、例えばDMDやFLCを使ったライトバルブは、素子そのものの応答速度が、10数 $\mu$ sec～数10 $\mu$ secであり、一般的なTN (Twisted Nematic) 液晶に比べて3桁も速い。しかしながら、このようなライトバルブは、従来、フィールドホールド型の表示方式をとっているため、素子的高速性を動画表示品質に十分活かすことができなかった。本実施の形態によれば、全ての輝度レベルにおいて、発光期間をほぼ連続した状態に制御するので、フィールドホールド型の表示を改善して、原理的に動画偽輪郭および動画ぼけを抑制することができ、素子的高速性を動画質特性に十分活かすことができる。

【0097】また、装置構成の点においても、従来の基本構成と比較して、データフォーマット内に追加制御回路30 (図3) を設けるだけで、表示素子 (ライトバルブ) の構成を全く変える必要がない。従って、例えばデータフォーマットをメモリ・チップを用いて構成する場合には、メモリ・チップ内の変更を行うだけで良く、他の回路部分の変更を必要としないので、低コストで実施できると共に、回路構成の自由度も高い。

【0098】このように、本実施の形態によれば、複雑な構成をとることなく、動画偽輪郭および動画ぼけを抑制した階調表現が可能となり、動画像の質を向上させることができる。

【0099】[第2の実施の形態] 次に、本発明の第2の実施の形態について説明する。なお、以下の説明では、上記第1の実施の形態における構成要素と同一の部分には同一の符号を付し、適宜説明を省略する。

【0100】図5に示した階調制御の例では、1フィールドの開始側に発光時間を偏らせるような制御を行っていた。しかしながら、フィールド期間の中心付近から、時間的に前後対称に発光時間を偏らせて配列することにより、さらに、動画偽輪郭に対する効果を向上させることが可能である。

【0101】図10は、図5に示した階調制御を応用して、フィールド期間内で時間軸対称で階調制御を行う例を示している。図10に示した例では、1フィールド内のサブフィールドは全部で17個あり、図5に示した例と比較すると、SF0～SF15の16個のサブフィールドに加えて、あらたなサブフィールドSFcが設けられている。また、図10の例では、図5に示した例と比較すると、4種類のゾーンタイムTZ0、TZ1、TZ2、TZ3が、それぞれ2つに分割され、さらに、1フィールド期間の中心付近に、あらたなゾーンタイムTZcが設けられている。そして、このゾーンタイムTZcを中心として、一対のゾーンタイムTZ0、TZ1、TZ2、TZ3が時間的に対称に配置されるようにしている。すなわち、ゾーンタイムは、フィールドの開始方向

からTZ3、TZ2、TZ1、TZ0の順番で設けられ、次に、ゾーンタイムTZcが設けられている。ゾーンタイムTZc以後は、図5の例と同様に、TZ0、TZ1、TZ2、TZ3の順番で配置されている。このように、ゾーンタイムが、1フィールドの中心時間tcを対称中心にして、前半の期間tc1と後半の期間tc2とで時間的に対称に配置されている。

【0102】ゾーンタイムTZcには、1つのサブフィールドSFcが割りあてられている。ゾーンタイムTZc (=サブフィールドSFc) の期間には、輝度レベルに応じて、ゼロおよび最下位ビットB0のデータが交互に表示されるようになっていく。このように中心付近にゾーンタイムTZcを別途設けているのは、1サブフィールドの発光期間しかない最下位の階調ビットB0を、時間的な対称中心付近に配置し、階調ビットの配置を全体的に対称となるようにするためである。また、サブフィールドSFcは、他のサブフィールドSF0～SF15とは異なる時間幅を設定可能になっている。ここで、図10の例では、ゾーンタイムTZcに表示される階調ビットB0のデータの集まり (ビットプレーンBP0) が、本発明における「第3のビットプレーン群」の一具体例に対応する。

【0103】図5の例では、1つのゾーンタイムに4つのサブフィールドが割りあてられていたが、図10では、1つのゾーンタイムに2つのサブフィールドが割りあてられている。また、図10の例では、ゾーンタイムTZ0、TZ1、TZ2、TZ3に、それぞれ、階調ビットB1～B3のうちの少なくとも1つのビットが割りあてられている。階調ビットB1～B3は、それぞれ発光期間として2以上のサブフィールドを有しているので、それぞれの発光期間が2分割されて、各ゾーンタイムに割りあてられる。これにより、階調ビットB1～B3は、階調ビットB0を中心として、時間的に前後対称に発光がなされるように配置されることになる。

【0104】ここで、図10に示した階調制御を行う場合において、視線の追従が、中間輝度 (輝度レベル7、8) の付近で図示した位置G1、G2、G3のように行われた場合について、それぞれの輝度を比較する。図10の例では、位置G1、G2、G3のそれぞれの輝度レベルが、それぞれ7、8、7となり、本来の輝度レベルからのずれはほとんどない。また、図10の例では、各階調レベルで1フィールドの中心付近から時間的に対称に連続した発光がなされることになるので、従来のフィールドホールド型の表示形態に起因する動画ぼけについても少なくすることができる。

【0105】図10に示した階調制御は、図2に示した構成の光変調部8を用いて、基本的に、図5の場合と同様の方法で行うことができる。但し、あらたに追加されたサブフィールドSFcの期間については、他のサブフィールドSF0～SF15とは独立したタイミングでの

発光を行ったり、異なる制御方式を採用することも可能である。すなわち、一対のゾーンタイムTZ0, TZ1, TZ2, TZ3の期間(サブフィールドSF0~SF15)における階調制御については、図5の場合と同様に、ゾーンタイム内に表示データビットを表示する可否かを制御ビットによって制御する方式で行うことができる。このとき、図10の例では、図5の例と同様に、上位2つの階調ビットB3, B2が制御ビットとしての機能を有している。表示データビットとしての機能は、1つの階調ビットB1のみが有する。基本発光パターンBxは、ゼロと階調ビットB1との組み合わせとなる。ここで、図10の例では、制御ビットを構成する階調ビットB3, B2のデータの集まり(ビットプレーンBP3, BP2)が、本発明における「第2のビットプレーン群」の一具体例に対応し、表示データビットを構成する階調ビットB1のデータの集まり(ビットプレーンBP1)が、本発明における「第1のビットプレーン群」の一具体例に対応する。

【0106】一方、ゾーンタイムTZcの期間(サブフィールドSFc)における階調制御については、例えば、PWM方式に加えて、PAM方式を併用することが可能である。PAM方式の階調制御は、光源4(図1)における単位時間あたりの発光輝度の大きさを変化させることにより行う。例えば、光源4の発光輝度を、階調ビットB0の発光期間にのみ一時的に小さくなるよう制御する。このとき、階調ビットB0の発光期間、すなわちサブフィールドSFcの時間幅を、他のサブフィールドSF0~SF15とは異なる大きさに設定しても良い。光源4の輝度制御は、例えば、コントローラ7が光源駆動回路5を制御することにより行うことができる。また、PAM方式を併用する場合に限らず、PWM方式のみを用いる場合でも、サブフィールドSFcの期間に、他のサブフィールドとは異なる制御を行うことが可能である。例えば、サブフィールドSFcの期間には、他のサブフィールドとは異なるタイミングまたは異なるパルス幅で光のパルス幅変調を行うようにしても良い。すなわち、サブフィールドSFcについては、階調ビットに応じた輝度を表現できるならば、その制御方法は特に限定されない。

【0107】一般的に、デジタル画像表示装置においては、階調ビット数を大きくするにつれて、各階調ビットに重み付けされる輝度の差が大きくなるので、特に、低ビット域における階調ビットの輝度が小さくなる。この場合、PWM方式のみで階調表現を行うとすると、低ビット域において光スイッチング速度を速くする必要がある。しかしながら、光スイッチング素子の種類によっては、スイッチング速度がその速さに追従できなくなる虞がある。このような場合に、PWM方式とPAM方式とを併用し、低ビット域では特別に光源側でPAM方式による輝度変調を行い、輝度の大きさを調整するような

制御を行うと、スイッチング速度の不充分さを補うことができる。本実施の形態の階調制御では、上述のように、低ビット域の制御を他の階調ビットとは独立して行うことが可能なので、PWM方式とPAM方式とを併用した制御も簡単に行うことができる。

【0108】なお、以上の説明では、比較的に階調数の少ない16階調の表示を行う例について説明したが、本実施の形態の階調制御についても、16階調に限定されるものではなく、他の階調数を採用し得る。次に、1画素あたりの階調データを8ビットにして256階調の表示を行う例について説明する。

【0109】<8ビットでの階調制御の例>図11は、図10に示した4ビットの階調制御を、8ビット、256階調まで拡張した例を示している。この例では、4ビットの階調制御の場合と同様に、1フィールド期間の中心に、ゾーンタイムTZcを設け、このゾーンタイムTZcを中心として、一対のゾーンタイムTZ0, TZ1, TZ2, TZ3を時間的に対称に配置している。ゾーンタイムTZ0~TZ3には、それぞれ8つのサブフィールドが割り当てられている。従って、一対のゾーンタイムTZ0, TZ1, TZ2, TZ3に含まれるサブフィールドの総数は、 $8 \times 8 = 64$ 個となる。なお、図11では、図面の簡略化のためサブフィールドの図示を省略している。図11の例では、ゾーンタイムTZ0~TZ3において、階調ビットB3~B7の表示を行い、ゾーンタイムTZcにおいて、階調ビットB0~B2の表示を行うようになっている。ここで、図11の例では、ゾーンタイムTZcに表示される階調ビットB0~B2のデータの集まり(ビットプレーンBP0~BP2)が、本発明における「第3のビットプレーン群」の一具体例に対応する。

【0110】図13は、各ビットプレーンについての表示期間の具体例を示している。なお、図13では、全ての階調ビットの制御を、例えばPWM方式により発光時間を制御することによって行う場合について示している。すなわち、BP0, BP1, BP2, BP3, BP4, BP5, BP6, BP7の表示期間は、{1:2:4:8:16:32:64:128}の比率で重み付けされている。また、図13では、ゾーンタイムTZ0にビットプレーンBP3~BP5を表示する場合について示している。また、図13では、一対のゾーンタイムTZ0のうち、時間的に後ろ側に配置されるゾーンタイムTZ0内の8つのサブフィールドを、便宜上、時間的に前側から符号SF0~SF7で示している。なお、1フィールドは、 $16666\mu\text{sec}$ としている。

【0111】この図に示したように、例えばビットプレーンBP3の表示は、ゾーンタイムTZcを対称中心にして、2つのサブフィールドに分割して行われる。ゾーンタイムTZ0~TZ3においては、1つのサブフィールドが、約 $200\mu\text{sec}$ となっている。従って、ビッ

トプレーンBP3については、ゾーンタイムTZcを対称中心にして、約 $200\mu\text{sec}$ の表示が2回行われる。ビットプレーンBP3は、合計で、約 $200\mu\text{sec} \times 2$ サブフィールド= $400\mu\text{sec}$ の表示期間を持つことになる。なお、ビットプレーンBP3～BP5をゾーンタイムTZ0以外のゾーンタイムに表示する場合においても、各ゾーンタイム内でのビットプレーンの時間配分は同じである。また、図13では図示していないが、ビットプレーンBP6は、全体で、約 $200\mu\text{sec} \times 8$ サブフィールド= $約1600\mu\text{sec}$ の表示期間を持ち、ビットプレーンBP7は、全体で、約 $200\mu\text{sec} \times 16$ サブフィールド= $約3200\mu\text{sec}$ の表示期間を持つ。これらの表示期間が、ゾーンタイムTZcを対称中心にして、2つに分割されて配置される。なお、各ビットプレーンの表示期間は、図示した値に限定されるものではなく、他の値を取り得る。

【0112】一方、ビットプレーンBP0、BP1、BP2は、ゾーンタイムTZc内で、それぞれ約50、100、 $200\mu\text{sec}$ の表示期間を持っている。ところで、ライトバルブ9（図1）に対する1ビットプレーン分のデータ転送は、表示タイミングが1つ前のビットプレーンの表示期間内に完了する必要がある。従って、表示期間がデータ転送期間より短いビットプレーンの場合、例えばビットプレーンBP0、BP1に関しては、別途、データを転送するための時間帯を設ける必要がある。図13の例では、ビットプレーンBP0の表示期間とビットプレーンBP1の表示期間との間に、ビットプレーンBP1用のデータ転送期間TB1を設けている。同様に、ビットプレーンBP1の表示期間とビットプレーンBP2の表示期間との間には、ビットプレーンBP2用のデータ転送期間TB2を設けている。期間TB1、TB2は、データ転送用として設けられた期間なので、この期間中は常に、画像表示がなされない“黒表示”の状態となる。これにより、ビットプレーンBP1のデータは、ビットプレーンBP0の表示期間とこれに隣接する黒表示期間TB1とを合わせた期間内に、ライトバルブ9に転送される。ビットプレーンBP2のデータは、ビットプレーンBP1の表示期間とこれに隣接する黒表示期間TB2とを合わせた期間内に、ライトバルブ9に転送される。このように、ゾーンタイムTZcにおける各ビットプレーンの表示タイミングは、他のゾーンタイムTZ0～TZ3における各ビットプレーンの表示タイミングとは異なっている。このため、ゾーンタイムTZcについては、ゾーンタイムTZ0～TZ3とは異なる別の制御を行う必要がある。

【0113】図12は、ゾーンタイムTZcに割りあてられる階調ビットB0～B2の配置例を示している。なお、図12では、輝度レベルが0～15の領域のみを示しているが、他の輝度レベル（16～255）についても同様である。すなわち、他の輝度レベルにおいても、

図示したパターンの配置が繰り返されている。また、図12では、図13に示したデータ転送期間TB1、TB2については、図示を省略している。ゾーンタイムTZ0～TZ3においては、1つのサブフィールド内に複数種類の階調ビットが割りあてられているので、従来とは異なる階調制御を行う必要がある。一方、ゾーンタイムTZcにおいては、同一時間帯に表示される階調ビットは従来（図16参照）と同様に、1種類のみである。従って、ゾーンタイムTZcにおける階調制御は、従来のサブフィールド法と同様の制御方法を行うことで実現できる。

【0114】一方、一对のゾーンタイムTZ0、TZ1、TZ2、TZ3の期間については、図10の場合と同様に、制御ビットによって、表示データビットを表示するか否かを決定する制御を行う必要がある。このとき、図11の例では、上位2つの階調ビットB7、B6が制御ビットとしての機能を有し、階調ビットB3～B5が表示データビットとしての機能を有する。すなわち、図11の例では、基本発光パターンBx（B3～B5）の表示タイミングが、上位の階調ビットB7、B6によって決定される。ここで、図11の例では、制御ビットを構成する階調ビットB7、B6のデータの集まり（ビットプレーンBP7、BP6）が、本発明における「第2のビットプレーン群」の一具体例に対応し、表示データビットを構成する階調ビットB3～B5のデータの集まり（ビットプレーンBP3～BP5）が、本発明における「第1のビットプレーン群」の一具体例に対応する。

【0115】以上のようにして、ゾーンタイムTZcでは、例えば従来のサブフィールド法と同様の制御によりビットプレーンBP0～BP2を表示し、その他のゾーンタイムTZ0～TZ3では、制御ビットによって、表示データビットの表示期間を決定してビットプレーンBP3～BP7を表示する。これにより、表示期間が、{1:2:4:8:16:32:64:128}に重み付けされた8つのビットプレーンBP0～BP7の表示を行うことができる。このように重み付けされたビットプレーンBP0～BP7の組み合わせで、256階調の階調表現が実現される。

【0116】＜ライトバルブの反転駆動の例＞図14

(A)は、FLC（強誘電性液晶）を用いたライトバルブの駆動方法を説明するための図である。例えばFLCを用いたライトバルブにおいては、DC（直流）バランス駆動を行うため、図14(A)に示したように、通常、1フィールド毎に反転時間TXを設けて駆動信号（電圧）の極性または位相を正／逆（負）反転すると共に、その反転動作に同期して、画素の表示状態を明／暗反転させ、駆動電圧が1つの極性のみに偏らないようにしている。なお、図14(A)では、時間的に隣接する、N番目とN+1番目の2つのフィールドの駆動状態

を示している。しかしながら、1フィールド毎に駆動電圧を反転する場合には、駆動特性にアンバランスがあるとフィールド周波数(通常30Hz)のフリッカが生ずることになり、好ましくない。

【0117】これに対し、例えば1フィールド内で正/逆の反転駆動ができれば、反転周期がフィールド周波数の2倍(通常60Hz)となり、フリッカ現象の問題を大幅に改善することができる。本実施の形態では、既に図10、図11を用いて説明したように、1フィールドの中心付近前後で発光時間が対称となるように階調制御を行うので、フィールド内での正/逆の反転駆動に好都合となっている。図14(B)は、1フィールド内で駆動状態を反転させた例を示している。図14(B)の例では、1フィールド内で時間的にほぼ等間隔に2つの反転時間TXa、TXbを設け、フィールド内の前半と後半とで駆動電圧を正/逆(負)反転させている。なお、例えば図11、図12に示した例では、ゾーンタイムTZcについては、発光時間が時間的に対称にはなっていない。このようにフィールド内に非対称成分がある場合には、その非対称成分をフィールド時間の中心付近に配置し、フィールド毎に、反転時間TXaの前後で駆動すると良い。

【0118】図15(A)、(B)は、例えば図11に示した階調制御をフィールド内で反転駆動して行う例について示したものであり、図15(A)がN番目のフィールドの駆動状態を示し、図15(B)がN+1番目のフィールドの駆動状態を示している。この例では、1フィールド内の中心付近に反転時間TXaを設け、1フィールドの終端付近に反転時間TXbを設けている。非対称成分であるゾーンタイムTZcについては、反転時間TXaに隣接させて配置し、フィールド毎に反転時間TXaの前後で駆動する。一方、ゾーンタイムTZ0~TZ3については、1フィールド内で時間対称に配置されているので、1フィールド内で駆動状態を反転させることができる。これにより、フィールド周波数(通常30Hz)となるフリッカ成分は、ゾーンタイムTZc内の下位3つのビットB0~B2のみとなり、他のビットB3~B7については、フリッカ成分をフィールド周波数の2倍(通常60Hz)とすることができる。すなわち、動画偽輪郭および動画ぼけを減少させるような好適な各階調ビットの時間配列を保持したまま、フリッカ成分の周波数をほぼ2倍にすることができ、フリッカを目立たなくすることができる。

【0119】以上説明したように、本実施の形態によれば、1フィールドの中央付近に配置された表示する時間帯(ゾーンタイムTZc)を中心として、制御ビットプレーンを表示する時間帯と表示データビットプレーンを表示する時間帯とが、それぞれ時間的に前後対称に2分割して配置されるように、各ビットプレーン群を表示する時間帯を制御するようにしたので、より効果的に動画

偽輪郭を抑制することが可能となる。また、ゾーンタイムTZc内のビットプレーンを、他のゾーンタイムとは異なる独立した階調制御を行って表示するようにしたので、例えばPWM方式とPAM方式とを併用した階調制御などを容易に行うことができる。

【0120】なお、本発明は、上記各実施の形態に限定されず種々の変形実施が可能である。例えば、本発明は、2値制御型の画像表示装置に広く適用することが可能であり、特定の光変調素子を利用する装置に限定されるものではない。また、上記各実施の形態では、制御ビットを上位2つの階調ビットで構成するようにしたが、制御ビットの数は2つに限定されない。通常、制御ビットの数が多いほど制御が複雑化する一方、動画偽輪郭の少ない理想的な階調表現を行うことができる。また、上記各実施の形態では、1フィールドを画像表示の基本単位として階調制御を行う場合について説明したが、本発明の階調制御は、1フィールドに限定されず、例えば1フレームを画像表示の基本単位として扱う場合にも適用することが可能である。

#### 【0121】

【発明の効果】以上説明したように、請求項1ないし13のいずれか1項に記載の画像表示装置または請求項14記載の画像表示方法によれば、複数のビットプレーンを、第1のビットプレーン群と第2のビットプレーン群との少なくとも2種類のビットプレーン群に分割し、第1のビットプレーン群を表示する時間帯を、単位画素毎に、第2のビットプレーン群の情報に基づいて制御し、その制御された時間帯内に、第1のビットプレーン群の情報に基づいて、画像の表示状態の2値的な変調を行うようにしたので、複雑な構成をとることなく、動画偽輪郭および動画ぼけを抑制した階調表現が可能となり、動画の質を向上させることができるという効果を奏する。

【0122】特に、請求項9記載の画像表示装置によれば、請求項8記載の画像表示装置において、第1のビットプレーン群を表示する時間帯と第2のビットプレーン群を表示する時間帯とが、第3のビットプレーン群を表示する時間帯を中心として、それぞれ時間的に前後対称に2分割して配置されるように、各ビットプレーン群を表示する時間帯を制御するようにしたので、より効果的に動画偽輪郭を抑制することが可能になるという効果を奏する。このとき、例えば、第3のビットプレーン群を、他のビットプレーン群とは異なる独立した階調制御を行って表示することも可能となるので、例えばPWM方式とPAM方式とを併用した階調制御などを容易に行うことができる。

【0123】また、請求項12記載の画像表示装置によれば、請求項11記載の画像表示装置において、第3のビットプレーン群の表示時間帯に隣接して設定された反転期間に、駆動信号の位相を反転させて変調手段を駆動

して画像の表示状態の変調を行うようにしたので、動画偽輪郭を抑制する効果に加えて、例えばFLCを用いた画像表示に特有のフリッカ現象を改善することが可能になるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る画像表示装置の概略構成を示すブロック図である。

【図2】図1に示した画像表示装置における光変調部の詳細を示す構成図である。

【図3】図2に示した光変調部の論理ゲートにおける信号の入出力状態を示すブロック図である。

【図4】動画偽輪郭を無くすための理想的な階調制御の例を示す説明図である。

【図5】図1に示した画像表示装置において行われる階調制御の一例を、主としてサブフィールドと各階調ビットとの対応関係によって示す説明図である。

【図6】図5に示した階調制御の一例を簡略化して示す説明図である。

【図7】図5に示した階調制御を実現するための、各ゾーンタイムと論理式との対応関係を示す説明図である。

【図8】図5に示した階調制御を実現するための制御タイミングを示す波形図である。

【図9】図5に示した階調制御を5ビットの階調ビットにまで拡大した例を示す説明図である。

【図10】本発明の第2の実施の形態における階調制御を、階調ビットが4ビットである場合について示した説明図である。

【図11】本発明の第2の実施の形態における階調制御を、階調ビットが8ビットである場合について示した説明図である。

【図12】図11に示した階調制御における時間中心のゾーンタイムに割り当てられる各階調ビットの配置関係を示した説明図である。

【図13】図11に示した階調制御における各階調ビットの発光時間の時間配分について示した説明図である。

【図14】(A)は、従来のFLC等を用いたライトバルブにおいて採用されている反転駆動について説明するための図であり、(B)は、本発明の第2の実施の形態における階調制御を利用した場合の反転駆動の例につい

て説明するための図である。

【図15】図11に示した階調制御を、フィールド内で駆動状態を反転させて行う場合について示す説明図である。

【図16】従来の階調制御の一例(サブフィールド法)を、主としてサブフィールドと各階調ビットとの対応関係によって示す説明図である。

【図17】図16に示した階調制御法における代表的な輝度レベルに対するビット論理値とサブフィールド内の発光状態(オン/オフ状態)との関係を示す説明図である。

【図18】図16に示した階調制御を実現するための光変調部の要部を示す構成図である。

【図19】図16に示した階調制御を実現するための制御タイミングを示す波形図である。

【図20】図16に示した階調制御方法を、サブフィールドを等分割して行った場合について示す説明図である。

【図21】図20に示した階調制御を実現するための制御タイミングを示す波形図である。

【図22】(A)は、動画偽輪郭が生じ得る画像の表示例について説明するための図であり、(B)は、(A)に示した画像の網膜上の見え方について説明するための図である。

【図23】(A)は、理想的な階調表現が行われた場合の画像の表示例を示す図であり、(B)は、動画偽輪郭が生じた場合における画像の表示例を示す図である。

【図24】従来の階調制御の他の例(フィールド内分散法)における、サブフィールドと各階調ビットとの対応関係を示す説明図である。

【図25】図24に示した階調制御を実現するための制御タイミングを示す波形図である。

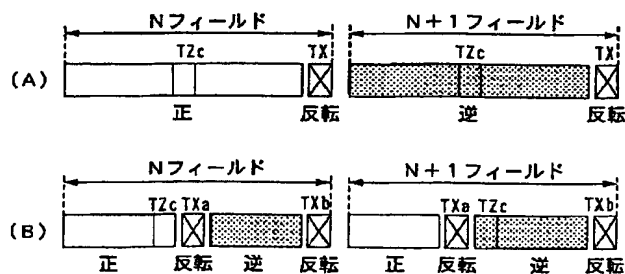
【符号の説明】

LSR、Rx、R2、R3…レジスタ群、1…A/D変換器、2…コントロール部、3…光変調部、4…光源、5…光源駆動回路、6…ガンマ補正回路、7…コントローラ、8…データフォーマッタ、8a…第1のメモリ部、8b…第2のメモリ部、8c…論理ゲート回路、9…ライトバルブ、10…本体。

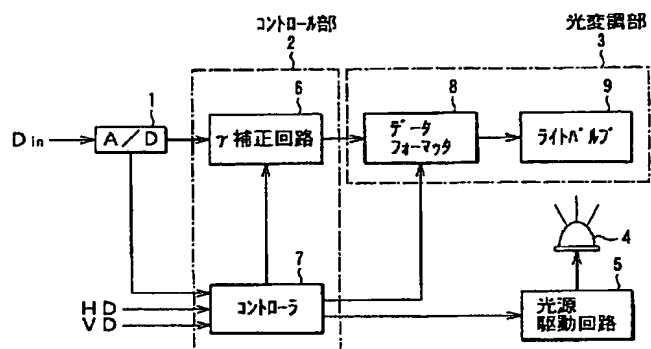
【図7】

| ゾーンタイム | 論理式                    |
|--------|------------------------|
| TZ3    | $dx \cdot d2 \cdot d3$ |
| TZ2    | $(dx + d2) \cdot d3$   |
| TZ1    | $dx \cdot d2 + d3$     |
| TZ0    | $dx + d2 + d3$         |

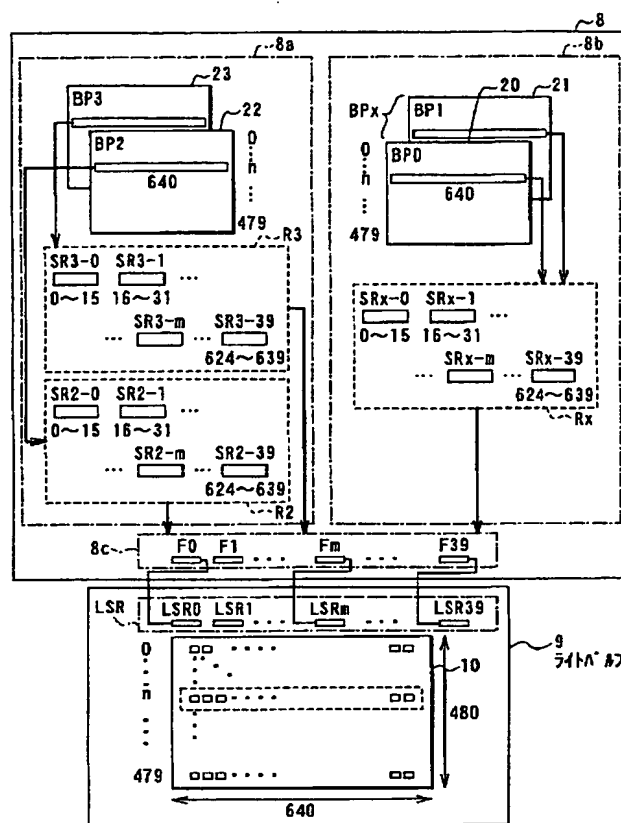
【図14】



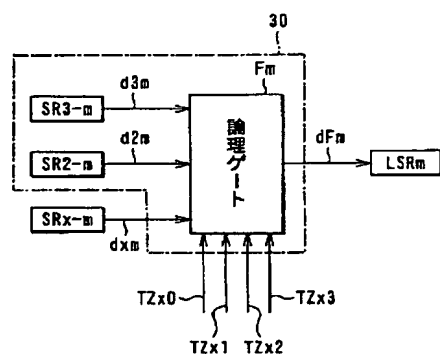
【图 1】



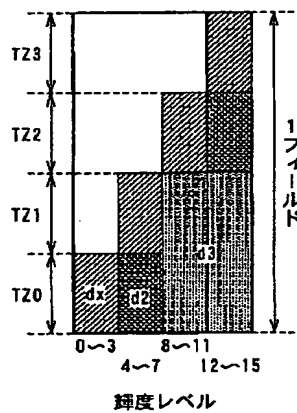
【图2】



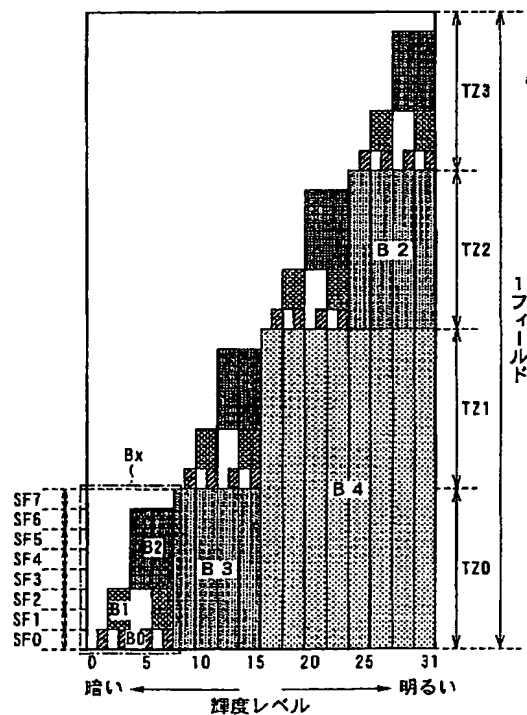
【图 3】



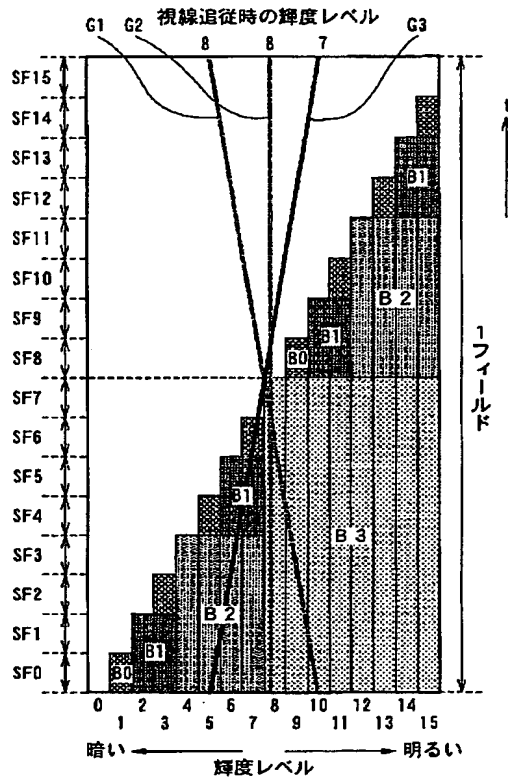
【図 6】



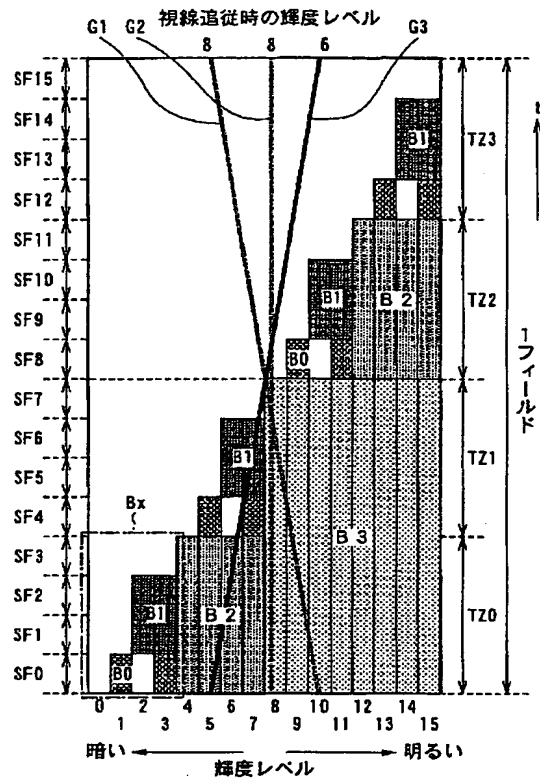
【図 9】



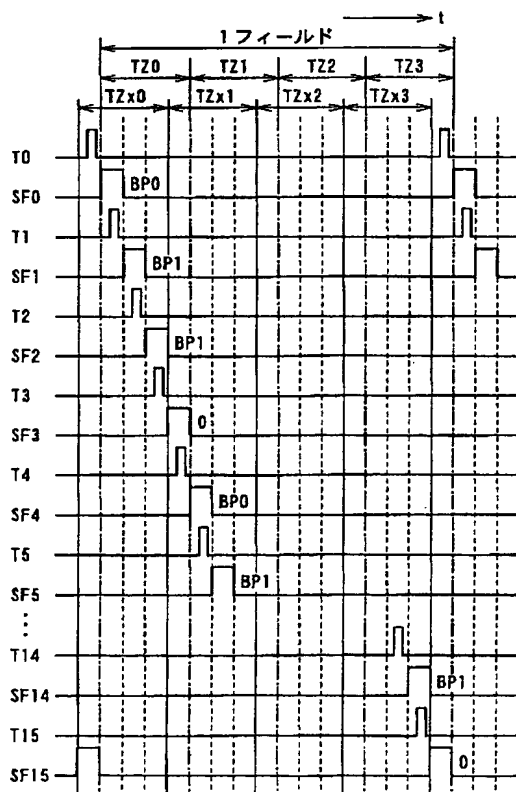
【図 4】



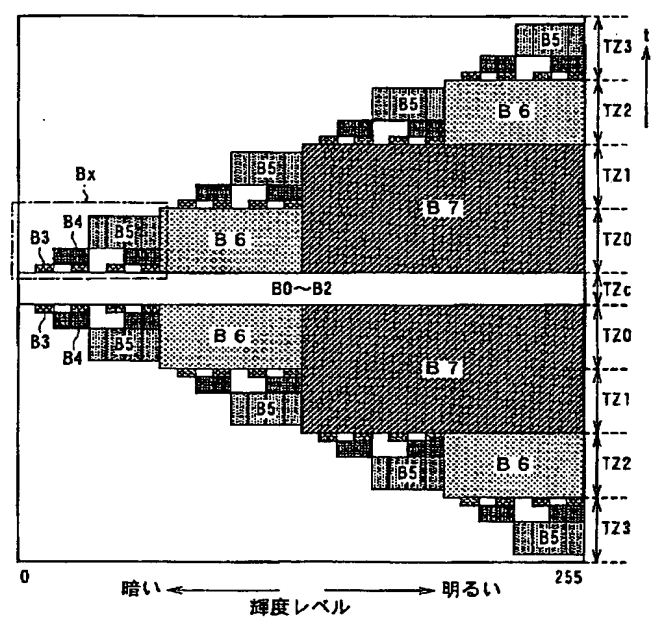
【図 5】



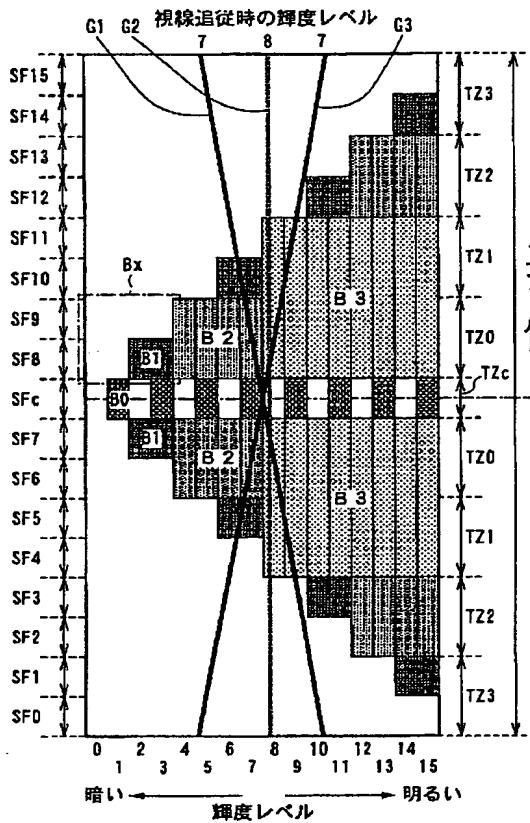
【図 8】



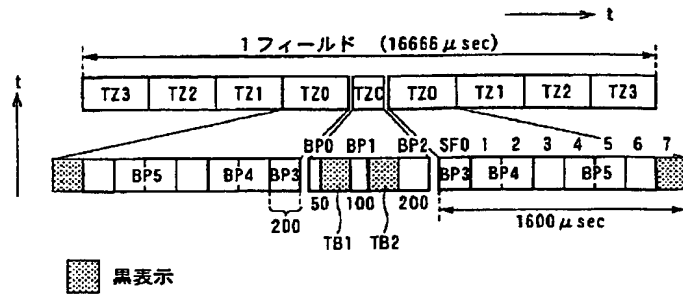
【図 11】



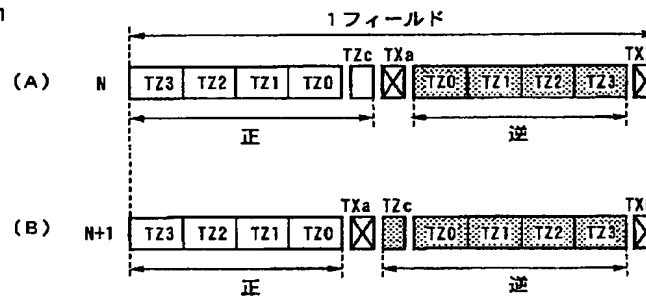
【図 10】



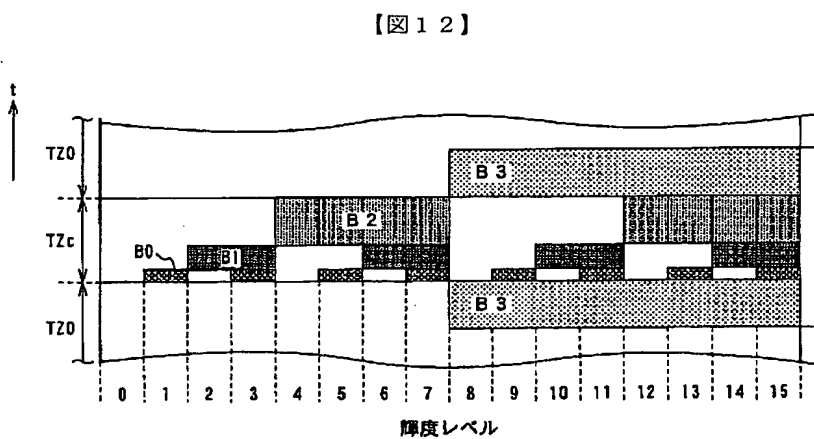
【図 13】



【図 15】

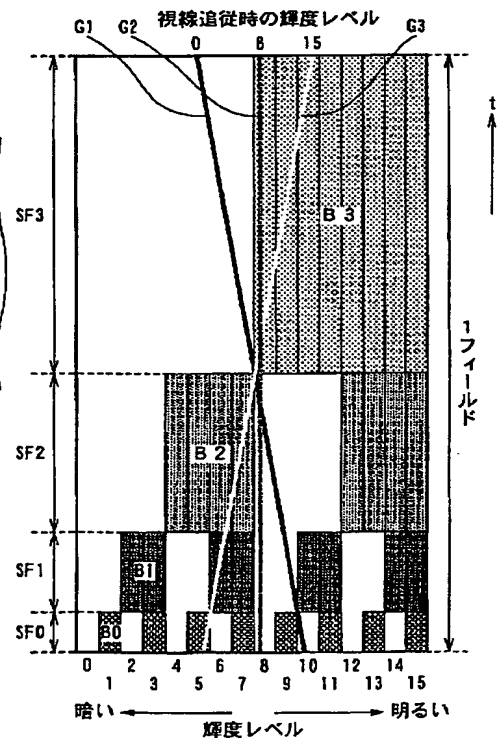


【図 16】



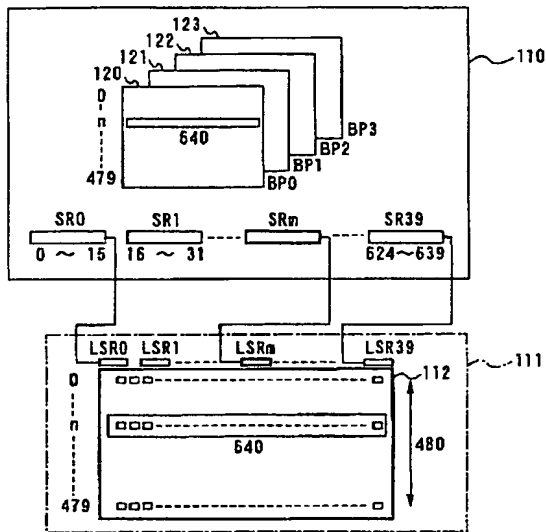
【図 17】

| 輝度レベル           | ビット論理値<br>{B3, B2, B1, B0} | サブフィールドのオン/オフ状態    |
|-----------------|----------------------------|--------------------|
| 黒レベル<br>(レベル0)  | {0 0 0 0}                  | SF3~SF0=オフ         |
| 白レベル<br>(レベル15) | {1 1 1 1}                  | SF3~SF0=オン         |
| 中間輝度<br>(レベル7)  | {0 1 1 1}                  | SF3=オフ, SF2~SF0=オン |
| 中間輝度<br>(レベル8)  | {1 0 0 0}                  | SF3=オン, SF2~SF0=オフ |

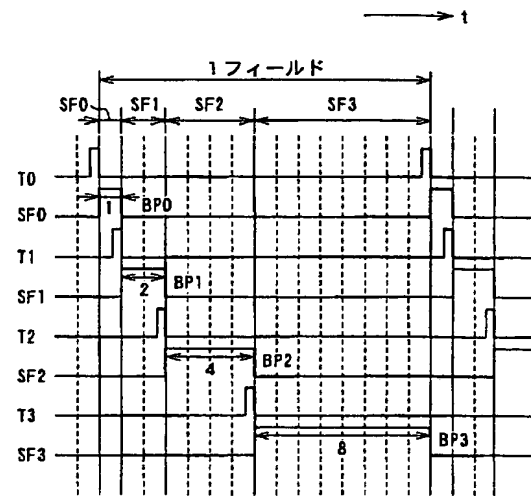




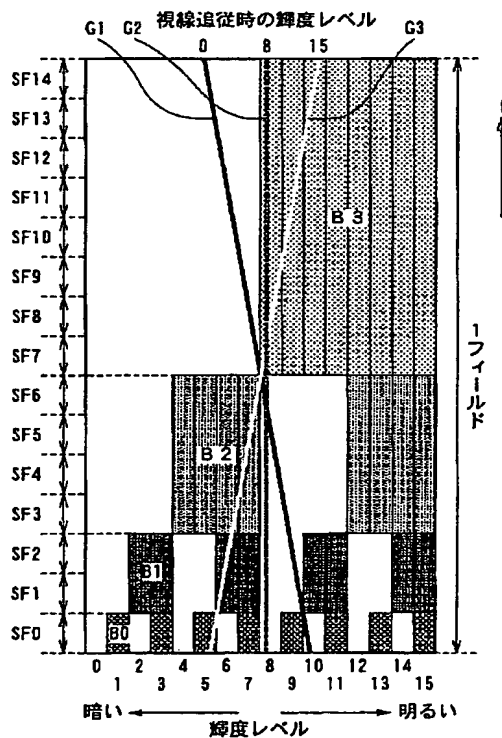
【図 18】



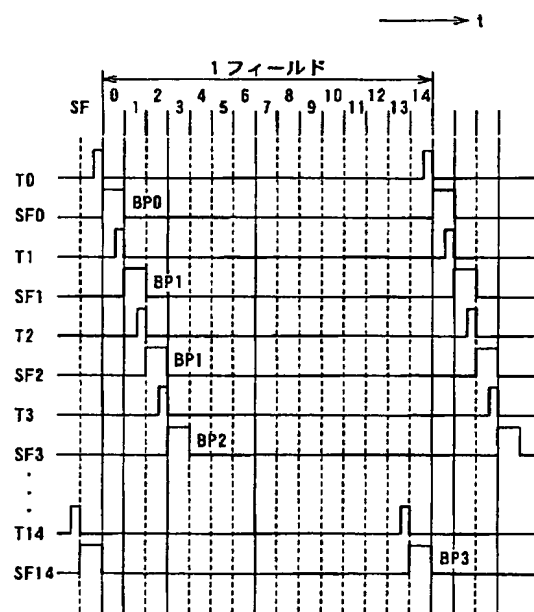
【図 19】



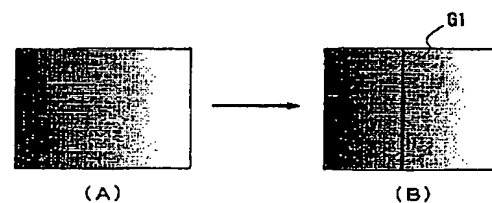
【図 20】



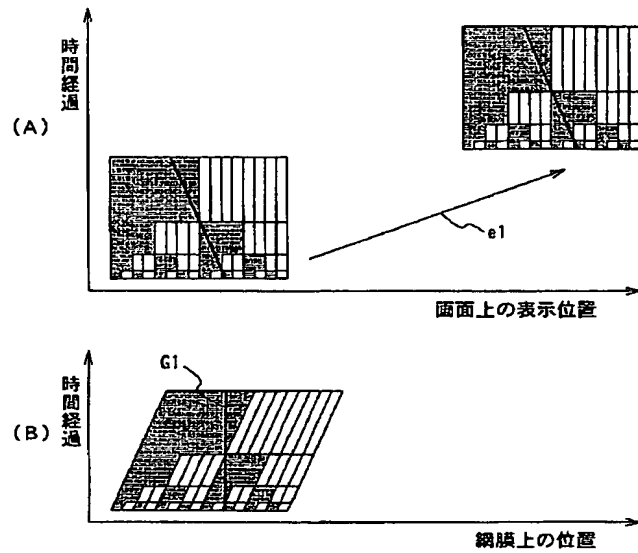
【図 21】



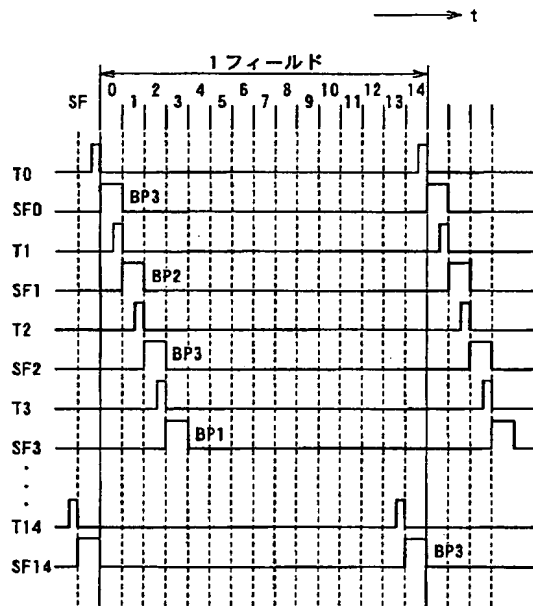
【図 23】



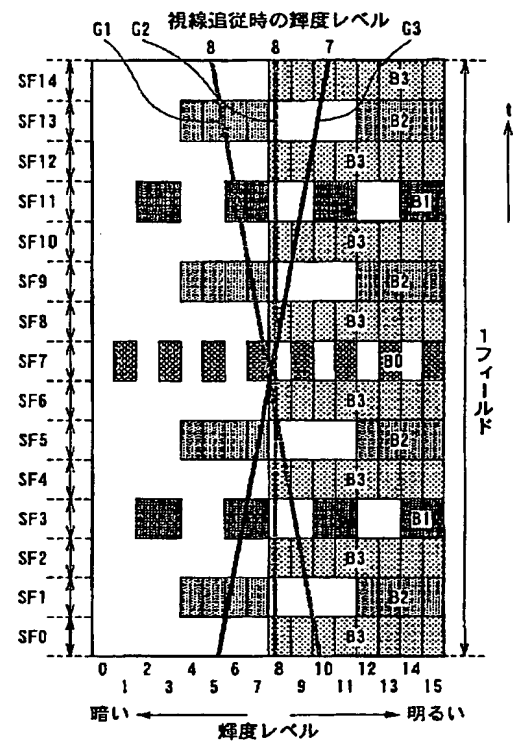
【図 22】



【図 25】



【図 24】



フロントページの続き

F ターム(参考) 2H093 NA55 NA58 NC22 NC24 NC28  
NC65 ND06 ND10 ND23 NE06  
NF19 NG02  
5C006 AA14 AA17 AF44 AF45 BA12  
FA29 FA56  
5C080 AA10 BB05 CC01 DD12 DD30  
EE29 EE32 JJ01 JJ02 JJ04  
KK02

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**